

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-214906

(43)Date of publication of application : 11.08.1998

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 29/78

(21)Application number : 09-248298

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.09.1997

(72)Inventor : KUBO MINORU
NOZAWA KATSUYA
SUZUKI MASAKATSU
UENOYAMA TAKESHI
KUMABUCHI YASUHITO

(30)Priority

Priority number : 08244395

Priority date : 17.09.1996

Priority country : JP

08269578

11.10.1996

JP

08314551

26.11.1996

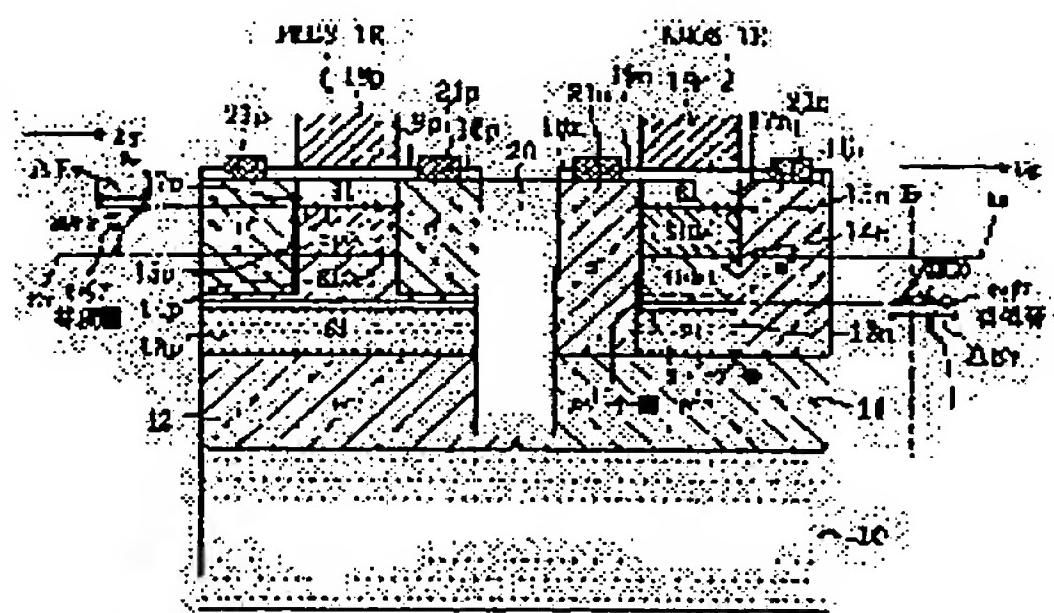
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is provided with a field effect transistor equipped with a channel having high carrier mobility and little crystal defect.

SOLUTION: In an NMOS transistor provided on an Si substrate 10, an Si layer 13n and an SiGeC layer 14n are formed. A carrier accumulating layer is formed by utilizing the discontinuous section of a conduction band existing on the hetero-interface between the layers 14n and 13n and works as a channel through which electrons transit. Since the SiGeC layer 14n has electron mobility higher than that of silicon, the operating speed of the NMOS transistor becomes faster. The hole transiting channel of a PMOS transistor is formed by utilizing the discontinuous section of a valence band produced on the interface between an SiGe layer 15p and an Si layer 17p. Since the hole mobility of the SiGe layer 15p is higher than that of the Si layer 17p, the operating speed of the PMOS transistor also becomes faster.



LEGAL STATUS

[Date of request for examination]

27.10.1999

[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3262747

[Date of registration] 21.12.2001

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214906

(43) 公開日 平成10年(1998)8月11日

(51) Int.Cl.⁶
H 01 L 21/8238
27/092
29/78

識別記号

F I
H 01 L 27/08
29/78

3 2 1 B
3 0 1 B

審査請求 未請求 請求項の数28 OL (全25頁)

(21) 出願番号 特願平9-248298
(22) 出願日 平成9年(1997)9月12日
(31) 優先権主張番号 特願平8-244395
(32) 優先日 平8(1996)9月17日
(33) 優先権主張国 日本 (JP)
(31) 優先権主張番号 特願平8-269578
(32) 優先日 平8(1996)10月11日
(33) 優先権主張国 日本 (JP)
(31) 優先権主張番号 特願平8-314551
(32) 優先日 平8(1996)11月26日
(33) 優先権主張国 日本 (JP)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 久保 実
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72) 発明者 能澤 克弥
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72) 発明者 鈴木 政勝
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74) 代理人 弁理士 前田 弘 (外2名)

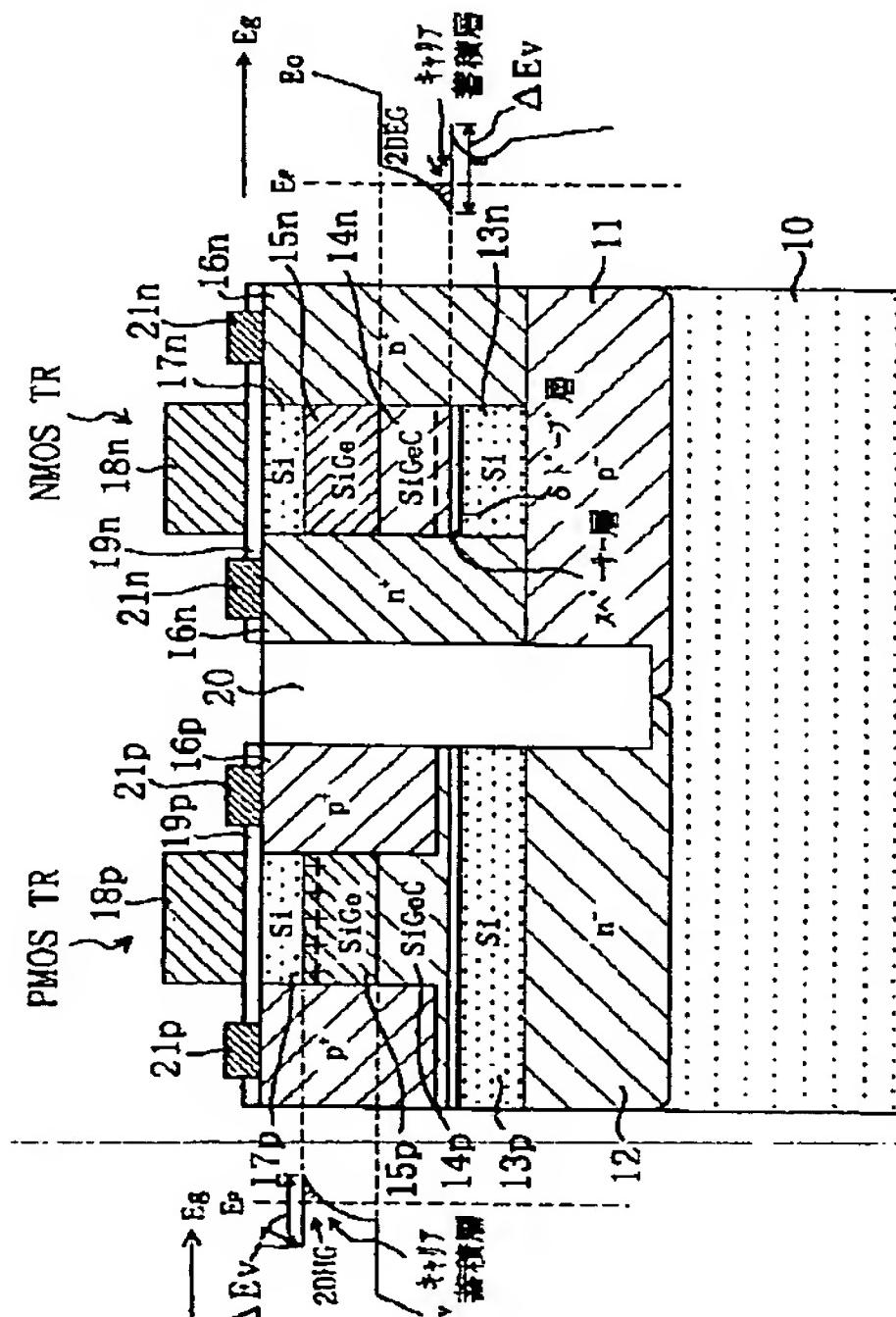
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 キャリアの移動度が高く、結晶欠陥が少ないチャネルを有する電界効果トランジスタを備えた半導体装置を提供する。

【解決手段】 Si基板10上のNMOSトランジスタにおいて、Si層13n、SiGe層14nとが形成されている。このSiGe層14nとSi層13nとのヘテロ界面に存在する伝導帶の不連続部を利用したキャリア蓄積層が形成されており、このキャリア蓄積層をチャネルとして電子が走行する。SiGe層14nはシリコンに比べて電子の移動度が大きく、NMOSトランジスタの動作速度も大きくなる。PMOSトランジスタの正孔が走行するチャネルは、SiGe層15pとSi層17pとの界面に生じる価電子帯の不連続部を利用して形成されている。SiGe層もSi層に比べて正孔の移動度が大きく、このPMOSトランジスタの動作速度も大きくなる。



【特許請求の範囲】

【請求項1】 半導体基板の一部に形成され、ゲート電極とソース・ドレイン領域と該ソース・ドレイン領域間のチャネル領域とを有する電界効果トランジスタを備えている半導体装置であって、

上記チャネル領域には、

S_i層と、

上記S_i層に接して形成され、Cの組成比yが0.01～0.03であるS_{i-x-y}Ge_xC_y層（0≤x≤1, 0<y≤1）とが設けられていて、

S_{i-x-y}Ge_xC_y層内における上記S_i層に近接した領域にはキャリア蓄積層が形成されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、上記S_{i-x-y}Ge_xC_y層の各元素の組成比は、上記S_{i-x-y}Ge_xC_y層と上記S_i層とが格子整合する組成比に調整されていることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、上記S_{i-x-y}Ge_xC_y層は、上記S_i層よりも小さい格子定数を有し、かつ格子緩和を生じない膜厚を有していることを特徴とする半導体装置。

【請求項4】 請求項1～3に記載の半導体装置において、

上記半導体基板上に形成され、単一組成の半導体層をチャネル領域とするMOSトランジスタをさらに備えていることを特徴とする半導体装置。

【請求項5】 請求項1～4のうちいずれか1つに記載の半導体装置において、

上記キャリア蓄積層に蓄積されるキャリアは負のキャリアであることを特徴とする半導体装置。

【請求項6】 請求項1～5のうちいずれか1つに記載の半導体装置において、

上記S_i層内の上記S_{i-x-y}Ge_xC_y層に近接した領域には、上記キャリア蓄積層にキャリアを供給するためのキャリア供給層がさらに形成されていることを特徴とする半導体装置。

【請求項7】 請求項1に記載の半導体装置において、上記キャリア蓄積層に蓄積されるキャリアは負のキャリアであり、

上記半導体基板の他部に形成され、ゲート電極とソース・ドレイン領域と該ソース・ドレイン領域間のチャネル領域とを有するもう1つの電界効果トランジスタを備え、

上記もう1つの電界効果トランジスタのチャネル領域は、

第2のS_i層と、

上記第2のS_i層に近接して形成されたS_i-Ge層とを備え、

上記S_i-Ge内における上記第2のS_i層に近接した領域には、正のキャリアを蓄積するための第2のキャリア

蓄積層が形成されていることを特徴とする半導体装置。

【請求項8】 請求項1に記載の半導体装置において、上記S_{i-x-y}Ge_xC_y層は量子井戸領域となっていることを特徴とする半導体装置。

【請求項9】 請求項7に記載の半導体装置において、上記S_i-Ge層は量子井戸領域となっていることを特徴とする半導体装置。

【請求項10】 請求項1～9のうちいずれか1つに記載の半導体装置において、

10 上記ソース・ドレイン領域は、第1の半導体層と、該第1の半導体層よりも大きいバンドギャップを有する第2の半導体層とを有し、

上記第1の半導体層の直上に形成された低抵抗の導体膜からなるソース・ドレインコンタクト層をさらに備えていることを特徴とする半導体装置。

【請求項11】 半導体基板の一部に形成され、ゲート電極とソース・ドレイン領域と該ソース・ドレイン領域間のチャネル領域とを有する電界効果トランジスタを備え、

上記チャネル領域には、

第1のS_i層と、

上記S_i層に接して形成された第1のS_{i-x-y}Ge_xC_y層（0≤x≤1, 0<y≤1）と、

第2のS_i層と、

上記第2のS_i層に接して形成され上記第1のS_{i-x-y}Ge_xC_y層とは異なるバンドギャップを有する第2のS_{i-x-y}Ge_xC_y層（0≤x≤1, 0≤y≤1）とが設けられていて、

30 上記第1のS_{i-x-y}Ge_xC_y層内における上記第1のS_i層に近接した領域と、上記第2のS_{i-x-y}Ge_xC_y層内における上記第2のS_i層に近接した領域とには、互いに異なる導電型のキャリアを閉じこめるための第1及び第2のキャリア蓄積層がそれぞれ形成されていることを特徴とする半導体装置。

【請求項12】 請求項11に記載の半導体装置において、

上記第2のS_{i-x-y}Ge_xC_y層におけるCの組成比yは0であることを特徴とする半導体装置。

【請求項13】 請求項11に記載の半導体装置において、

上記半導体基板上に形成され、単一組成の半導体層をチャネル領域とするMOSトランジスタをさらに備えていることを特徴とする半導体装置。

【請求項14】 請求項11に記載の半導体装置において、

上記第1のS_{i-x-y}Ge_xC_y層におけるCの組成比yは、0.01～0.03であることを特徴とする半導体装置。

【請求項15】 請求項11に記載の半導体装置において、

上記第1のSi_{1-x-y}Ge_xC_y層の各元素の組成比は、上記第1のSi_{1-x-y}Ge_xC_y層と上記第1のSi層とが格子整合する組成比に調整されていることを特徴とする半導体装置。

【請求項16】 請求項11に記載の半導体装置において、上記第1のSi_{1-x-y}Ge_xC_y層は、上記第1のSi層の格子定数よりも小さい格子定数を有し、かつ、格子緩和を起こさない膜厚を有することを特徴とする半導体装置。

【請求項17】 請求項11～16のうちいずれか1つに記載の半導体装置において、上記第1のキャリア蓄積層に蓄積されるキャリアは負のキャリアであり、上記第2のキャリア蓄積層に蓄積されるキャリアは正のキャリアであることを特徴とする半導体装置。

【請求項18】 請求項11～17のうちいずれか1つに記載の半導体装置において、上記第1のSi層内における上記第1のSi_{1-x-y}Ge_xC_y層に近接した領域には、上記第1のキャリア蓄積層にキャリアを供給するためのキャリア供給層がさらに形成されていることを特徴とする半導体装置。

【請求項19】 請求項11に記載の半導体装置において、上記第1及び第2のSi_{1-x-y}Ge_xC_y層のうち少なくともいずれか一方のSi_{1-x-y}Ge_xC_y層は量子井戸領域となっていることを特徴とする半導体装置。

【請求項20】 請求項11～19のうちいずれか1つに記載の半導体装置において、上記第1及び第2のSi_{1-x-y}Ge_xC_y層のうち上方に形成されたSi_{1-x-y}Ge_xC_y層の直上に形成された低抵抗の導体膜からなるソース・ドレインコンタクト層をさらに備えていることを特徴とする半導体装置。

【請求項21】 半導体基板上に形成された少なくとも1つの電界効果トランジスタを備えた半導体装置であって、

上記電界効果トランジスタは、Si_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)を含む第1の半導体層、上記第1の半導体層とはバンドギャップの異なる半導体により構成される第2の半導体層、及び上記第1、第2の半導体層の間の界面付近の領域に形成されたキャリア蓄積層を有するチャネル領域と、

第3の半導体層及び該第3の半導体層よりもバンドギャップの大きい半導体で構成される第4の半導体層を有するソース・ドレイン領域と、

上記第3の半導体層の直上に形成された低抵抗の導体膜からなるソース・ドレインコンタクト層とを備えていることを特徴とする半導体装置。

【請求項22】 請求項21に記載の半導体装置において、

て、

上記第1の半導体層と上記第3の半導体層とは共通の第1の半導体膜により構成され、

上記第2の半導体層と上記第4の半導体層とは共通の第2の半導体膜により構成され、

上記第2の半導体膜は、上記第1の半導体膜の上に形成されていることを特徴とする半導体装置。

【請求項23】 請求項21に記載の半導体装置において、

10 上記第1の半導体層と上記第3の半導体層とは互いに異なる半導体膜により構成され、

上記第3の半導体層は上記第1の半導体層の上方に形成されており、

上記第4の半導体層は、上記第3の半導体層の上に形成されていることを特徴とする半導体装置。

【請求項24】 n-チャネル電界効果型トランジスタと、p-チャネル電界効果型トランジスタとを有する半導体装置の製造方法であって、

半導体基板上に、第1のSi層と、上記Si層に接するとともに上記第1のSi層に近接した領域に上記n-チャネル電界効果型トランジスタのチャネルとなる第1のキャリア蓄積層を有するように第1のSi_{1-x-y}Ge_xC_y層(0≤x≤1, 0<y≤1)とを形成する第1の工程と、

半導体基板上に、第2のSi層と、上記第2のSi層に接するとともに、上記第1のSi_{1-x-y}Ge_xC_y層とは異なるバンドギャップを有し、上記第2のSi層に近接した領域に上記p-チャネル電界効果型トランジスタのチャネルとなる第2のキャリア蓄積層を有する第2のSi_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)とを形成する第2の工程と、

上記第1及び第2のSi_{1-x-y}Ge_xC_y層のうち上方に位置するSi_{1-x-y}Ge_xC_y層の上に導体膜を堆積した後、該導体膜をバターニングして上記n-チャネル電界効果型トランジスタ及びp-チャネル電界効果型トランジスタのゲート電極をそれぞれ形成する第3の工程と、

上記各トランジスタのゲート電極をマスクとして、上記n-チャネル電界効果型トランジスタ形成領域には少なくとも上記第1のキャリア蓄積層に達する深さまでn型不純物を、上記p-チャネル電界効果型トランジスタ形成領域には少なくとも上記第2のキャリア蓄積層に達する深さまでp型不純物をそれぞれ導入して、上記n-チャネル電界効果型トランジスタ及びp-チャネル電界効果型トランジスタのソース・ドレイン領域をそれぞれ形成する第4の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項25】 Si_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)を含む第1の半導体層と、上記第1の半導体層とは異なるバンドギャップを有する第2の半導

体層と、上記第1、第2の半導体層の間の界面付近の領域に形成されたチャネルとなるキャリア蓄積層とを有し、電界効果トランジスタとして機能する半導体装置の製造方法であって、

半導体基板の電界効果トランジスタ形成領域に、第3の半導体層と、該第3の半導体層よりも大きいバンドギャップを有する第4の半導体層とを順次形成する第1の工程と、

上記第4の半導体層の上方に導体膜を堆積した後、該導体膜をバターニングしてゲート電極を形成する第2の工程と、

上記ゲート電極の両側方に位置する上記電界効果型トランジスタ形成領域に少なくとも上記キャリア蓄積層に達する深さまで不純物を導入して、ソース・ドレイン領域を形成する第3の工程と、

上記ソース・ドレイン領域における上記第4の半導体層を、少なくとも上記第3の半導体層が露出するまでエッチングにより除去する第4の工程と、

上記第3の半導体層の露出した面上に低抵抗の導体膜からなるソース・ドレインコンタクト層を形成する第5の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項26】 請求項25に記載の半導体装置の製造方法において、

上記第1の工程は、上記第1及び第3の半導体層を共通の第1の半導体膜で構成し、上記第2及び第4の半導体層を共通の第2の半導体膜で構成するように行うことを特徴とする半導体装置の製造方法。

【請求項27】 請求項25に記載の半導体装置の製造方法において、

上記第1の工程の前に、上記第1及び第2の半導体層を形成する工程をさらに備え、

上記第1の工程は、上記第1の半導体層の上方に第3の半導体層を形成するように行うことを特徴とする半導体装置の製造方法。

【請求項28】 請求項25～27のうちいずれか1つに記載の半導体装置の製造方法において、

上記第4の工程は、上記第3の半導体層と上記第4の半導体層に対するエッチング選択比の高いエッチング条件で行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、SiGeC層あるいはSiGe層を用いたヘテロ接合の電界効果型トランジスタを備えた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体装置の高集積化が進行しつつあるが、MOS型トランジスタの微細化もゲート長が0.1μmを下回るような超微細化領域においては、短

チャンネル効果の影響や抵抗成分の増大などにより、電流駆動能力が飽和するなど、これまでのような性能向上を見込めないことが予想されている。特に、微細MOSトランジスタの高駆動力化のためには、チャネルのキャリア移動度の向上や、ソース・ドレイン電極のコンタクトの低抵抗化が重要である。

【0003】そこで、シリコン基板上に形成される単一組成のSiを用いた相補型半導体装置(CMOSデバイス)に代わって、Si/SiGe系(IV族混晶)によるヘテロ構造CMOSデバイス(Heterostructure CMOS:以下、HCMOSデバイスと略する)の提案がされている。これは、チャネルとしてSi/SiO₂界面ではなくバンドギャップが相異なる2種類の半導体によるヘテロ接合体の界面を利用するものである。このようなSiよりも高いキャリア移動度を与えるSi/SiGe系を用いることにより、より高速の素子を実現できると期待されている。このSi/SiGe系では、組成の制御によりSi基板上に所望の歪量とバンドギャップ値とを有するエピタキシャル成長層を形成することが可能である。IBM社のIsmailは、Si/SiGe系系のHCMOSデバイスによる特性向上についての基礎実験をしている(K. Ismail, "Si/SiGe High Speed Field-Effect Transistors", IEDM Tech. Dig. 1995, p509. 及びM.A. Armstrong et al, "Design of Si/SiGe Hetrojunction Complementary Metal-Oxide-Semiconductor Transistors" IEDM Tech. Dig. 1995, p761.を参照)。

【0004】図15は、このHCMOSデバイスの一例を示す断面図である。同図に示すように、Si基板101の一部には、ソース・ドレイン領域109と、ゲート絶縁膜107及びその上にゲート電極110とにより構成される電界効果型トランジスタが設けられている。そして、ゲート電極110の下方におけるソース領域ードレイン領域間のいわゆるチャネル領域には、SiGeバッファ層102と、δドープ層115と、スペーサ層103と、i-Si層104と、i-SiGe層105と、i-Si層106とが形成されている。これらの領域において、SiGeバッファ層102は、i-Si層104とi-SiGe層105との間にn-チャネル層112を形成するために、i-Si層104に引っ張り歪みを与えるものである。このSiGeバッファ層102において、Si基板101の直上ではGe組成比が0%となり、最上ではGe組成比が30%となるように、段階的に組成比が変更されている。

【0005】ここで、負バイアスが印加されると、i-Si層104において、下方のSiGeバッファ層102とのヘテロ界面にn-チャネル層112が形成される。δドープ層115は、上方に形成されるn-チャネル層112にキャリアである電子を供給するものである。また、スペーサー層103は、下方に形成されたδドープ層115のイオンと上方のn-チャネル層112

とを空間的に分離し、キャリアのイオン散乱による移動度の低下を防止するものである。

【0006】また、正バイアスが印加されると、 $i-SiGe$ 層105において、上方の $i-Si$ 層106とのヘテロ界面にはp-チャネル層111が形成される。ゲート絶縁膜107は、ゲート電極110とp-チャネル層111とを絶縁するためのものである。

【0007】上述のように、ヘテロ電界効果トランジスタにおいては、バンドギャップの異なる2種類の半導体層間のヘテロ界面にチャネルを形成することが特徴である。従って、チャネル形成のために必然的にバンドギャップの異なる少なくとも2種類の半導体層が存在する。加えて、半導体層中に電子又は正孔が高速で移動するためのチャンネルを形成するには、ヘテロ界面に伝導帯又は価電子帯の不連続部を有することが必要となる。上述の $Si/SiGe$ 系では、正孔については $SiGe$ 層105が $i-Si$ 層106に対して価電子帯における不連続部を有するため、正孔用のチャネルが形成される（図15の左方部分参照）。しかし、伝導帯には不連続部がほとんどないので、電子用のチャネルを形成するためには、 $i-Si$ 層104に引っ張り歪を印加することにより、 $i-SiGe$ 層105とのヘテロ界面に伝導帯の不連続部を形成している（図15の右方部分参照）。

【0008】このような構造をもつHCMOSデバイスは、 Si/SiO_2 によるチャネルを使用する従来のCMOSデバイスに比べ、同じ加工寸法で2倍の高速度動作を半分の消費電力で実現できることがシミュレーションの結果から予想されている。すなわち、 Si 半導体と $SiGe$ 混晶を組み合わせることによりヘテロ界面を形成し、高移動度チャネルを形成した半導体素子であって、ヘテロ接合を利用する素子の高速動作と、MOSデバイスの大規模集積性を両立する素子として非常に注目を集めている。

【0009】

【発明が解決しようとする課題】しかしながら、上述のような $SiGe$ などのIV族混晶を利用するヘテロデバイスは従来のCMOSデバイスの性能限界を克服する方法として大いに期待されているが、 $SiGe$ に代表されるIV族混晶を用いるヘテロ電界効果トランジスタは、その製造の難しさから同じ $SiGe$ 混晶を用いたヘテロデバイスであるヘテロバイポーラトランジスタに比べ研究開発が遅れており、まだその期待される性能を十分發揮しうる構造および製造方法の検討が十分に行われているとはいえない。また、ヘテロ電界効果トランジスタの中でも、上述のようなゲート電極と半導体層の間に絶縁膜を有するいわゆるヘテロMOS構造の場合、 $SiGe$ 層内には安定で良好な絶縁膜を形成できないため、ゲート絶縁膜として SiO_2 からなる酸化膜を使用する。従って、ゲート絶縁膜の直下は必ず Si 層である必要があるが、 Si は $SiGe$ に比べ必ずバンドギャップが大きい

という特徴をもっている。

【0010】そのため、上記従来のHCMOSデバイスの構造においては、以下のような問題があった。

【0011】第1に、上述のように、 Si 基板101上に電子のチャネルを形成するために、 $i-Si$ 層104に引っ張り歪を印加して、 $Si/ SiGe$ ヘテロ界面にバンド不連続を形成している。しかし、格子定数を変化させることから、格子緩和による転位の導入を伴う。

【0012】図16は、 $SiGe$ バッファ層102とその上の $i-Si$ 層104とを抜き出して示す断面図である。 $i-Si$ 層104は、 $SiGe$ バッファ層102よりも格子定数が小さいことから、結晶成長した段階で引っ張り歪みが蓄積されている。この歪みの蓄積が大きくなると、同図に示すように、 $i-Si$ 層104に転位が入ってしまう。このように、 $i-Si$ 層104と $SiGe$ バッファ層102との間における格子不整合歪による転位や欠陥の導入は避けられない。したがって、この結晶を利用した素子の初期特性はともかく、信頼性や寿命の観点からは、転位の増殖などによる特性劣化の影響がでてくると考えられる。

【0013】また、 Si 基板101上に Si より格子定数の大きな $SiGe$ からなる $SiGe$ バッファ層102を積層し、その上に成長する $i-Si$ 層104に引っ張り歪を蓄積させているが、 $SiGe$ バッファ層102の膜厚を大きくしていくと、その間に $SiGe$ バッファ層102の格子定数が Si の格子定数から本来の $SiGe$ の格子定数に変化する臨界膜厚を超えるため、格子緩和が生じ $SiGe$ バッファ層102にも転位等の欠陥が導入される。

【0014】これらの欠陥は、素子の初期特性への影響は少ない場合もあるが、長期的な信頼性や寿命という観点からは、重大な問題を引き起こすおそれがある。すなわち、電流による欠陥の増殖や、金属や不純物の欠陥を介在した拡散による劣化が生じ、信頼性の低下を招くおそれがある。

【0015】本発明の第1の目的は、HCMOSデバイスのゲート下方のチャネル領域における構造としてキャリア蓄積層を形成しうるバンド不連続部を有しながら格子整合又はほぼ格子整合したヘテロ接合体を利用することにより、キャリアの移動度が高くかつ信頼性の高い半導体装置を提供することにある。

【0016】第2に、 $SiGe$ に代表されるIV族混晶を用いたヘテロ電界効果デバイスは、従来の微細CMOSデバイスの性能限界を克服する素子構造として有効な技術であるが、現時点ではチャネル移動度の向上の研究に比べ、ソース・ドレイン電極のコンタクトの最適化の検討はさらに不十分であり、その高移動度を十分生かしきる構造になっているとはいえない。上述のIBM社によるヘテロCMOSデバイスの技術も、チャネル領域の移動度向上については詳細な検討が行われているが、微細

トランジスタの性能向上に重要なもう一つの要素であるソース・ドレイン電極のコンタクトの低抵抗化についてはほとんど検討がなされていない。

【0017】すなわち、S i 単結晶を用いたCMOSデバイス構造においては、ソース・ドレイン電極に接続される基板側のコンタクト領域の構造についてはさまざまな検討が為されているが、一般的なCMOSデバイスにおける最適なコンタクト領域の構造および形成方法が、素子構造が異なるヘテロ電界効果デバイスにおいても最良であるかどうかは検討が必要である。

【0018】本発明の第2の目的は、ヘテロ電界効果デバイスの優れた特性を損ねることなく小さなコンタクト抵抗を発揮しうるコンタクト領域を有する半導体装置及びその製造方法を提供することにある。

【0019】

【課題を解決するための手段】上記第1の目的を達成するため、本発明では、請求項1～10に記載されている第1の半導体装置に関する手段と、請求項11～20に記載されている第2の半導体装置に関する手段と、請求項24に記載されている第1の半導体装置の製造方法に関する手段とを講じている。

【0020】上記第2の目的を達成するために、本発明では、請求項21～23に記載されている第3の半導体装置に関する手段と、請求項25～28に記載されている第2の半導体装置の製造方法に関する手段とを講じている。

【0021】本発明の第1の半導体装置は、請求項1に記載されているように、半導体基板の一部に形成され、ゲート電極とソース・ドレイン領域と該ソース・ドレイン領域間のチャネル領域とを有する電界効果トランジスタを備えている半導体装置であって、上記チャネル領域には、S i 層と、上記S i 層に接して形成され、Cの組成比yが0.01～0.03であるS i_{1-x-y}Ge_xC_y層（0≤x≤1, 0<y≤1）とが設けられていて、S i_{1-x-y}Ge_xC_y層内における上記S i 層に近接した領域にはキャリア蓄積層が形成されている。

【0022】これにより、Cの組成比yが0.01～0.03であるS i_{1-x-y}Ge_xC_y層とS i 層との界面には、キャリアを2次元的に閉じこめるキャリア蓄積層を形成するのに必要なバンド不連続部を形成することが可能である。そして、このキャリア蓄積層がチャネルとして機能するので、S i 層よりも大きなキャリア移動度を与えるS i_{1-x-y}Ge_xC_y層をチャネルとする動作速度の大きい電界効果型トランジスタが得られる。しかも、S i_{1-x-y}Ge_xC_y層とS i 層との間では、格子不整合がなくなりあるいは極めてわずかになるよう制御できるので、格子歪を0あるいはほとんどないように調整でき、S i_{1-x-y}Ge_xC_y層に結晶欠陥が入らないように構成することが可能である。したがって、高い信頼性を有する半導体装置を得ることができる。

【0023】請求項2に記載されているように、請求項1において、上記S i_{1-x-y}Ge_xC_y層の各元素の組成比を、上記S i_{1-x-y}Ge_xC_y層と上記S i 層とが格子整合する組成比に調整しておくことができる。

【0024】これにより、格子不整合に起因する歪のないS i_{1-x-y}Ge_xC_y層内にチャネルが形成されるので、極めて高い信頼性を有する半導体装置が得られることになる。

【0025】請求項3に記載されているように、請求項1において、上記S i_{1-x-y}Ge_xC_y層を、上記S i 層よりも小さい格子定数を有し、かつ格子緩和を生じない膜厚を有するものとすることができます。

【0026】これにより、S i_{1-x-y}Ge_xC_y層には引っ張り歪みが加わるために、S i 層とのバンドの不連続量を大きくすることができ、キャリアの閉じこめ効率が向上する。

【0027】請求項4に記載されているように、請求項1～3において、上記半導体基板上に形成され、単一組成の半導体層をチャネル領域とするMOSトランジスタをさらに備えることができる。

【0028】請求項5に記載されているように、請求項1～4のうちいずれか1つにおいて、上記キャリア蓄積層に蓄積されるキャリアを負のキャリアとすることができる。

【0029】請求項6に記載されているように、請求項1～5のうちいずれか1つにおいて、上記S i 層内の上記S i_{1-x-y}Ge_xC_y層に近接した領域に、上記キャリア蓄積層にキャリアを供給するためのキャリア供給層を設けておくことが好ましい。

【0030】請求項7に記載されているように、請求項1において、上記キャリア蓄積層に蓄積されるキャリアを負のキャリアとし、上記半導体基板の他部に形成され、ゲート電極とソース・ドレイン領域と該ソース・ドレイン領域間のチャネル領域とを有するもう1つの電界効果トランジスタをさらに設け、上記もう1つの電界効果トランジスタのチャネル領域に、第2のS i 層と、上記第2のS i 層に近接して形成されたS i Ge層と設けて、上記S i Ge内における上記第2のS i 層に近接した領域に、正のキャリアを蓄積するための第2のキャリア蓄積層を形成しておくことが好ましい。

【0031】これにより、n-チャネル側及びp-チャネル側のいずれにおいても高いキャリア移動を有するHCMOSデバイスとして機能する半導体装置が得られる。

【0032】請求項8に記載されているように、請求項1において、上記S i_{1-x-y}Ge_xC_y層を量子井戸領域とすることができます。

【0033】請求項9に記載されているように、請求項7において、上記S i Ge層を量子井戸領域とすることができます。

【0034】請求項8又は9により、キャリアの閉じこめ効率の高いチャネルを有する電界効果型トランジスタが得られる。

【0035】請求項10に記載されているように、請求項1~9のうちいずれか1つにおいて、上記ソース・ドレイン領域に、第1の半導体層と、該第1の半導体層よりも大きいバンドギャップを有する第2の半導体層とを設け、上記第1の半導体層の直上に形成された低抵抗の導体膜からなるソース・ドレインコンタクト層をさらに備えることができる。

【0036】これにより、各請求項の作用効果に加え、ヘテロ接合を利用しながらコンタクト抵抗の小さい半導体装置が得られる。

【0037】本発明の第2の半導体装置は、請求項11に記載されているように、半導体基板の一部に形成され、ゲート電極とソース・ドレイン領域と該ソース・ドレイン領域間のチャネル領域とを有する電界効果トランジスタを備え、上記チャネル領域には、第1のSi層と、上記Si層に接して形成された第1のSi_{1-x-y}Ge_xC_y層(0≤x≤1, 0<y≤1)と、第2のSi層と、上記第2のSi層に接して形成され上記第1のSi_{1-x-y}Ge_xC_y層とは異なるバンドギャップを有する第2のSi_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)とが設けられていて、上記第1のSi_{1-x-y}Ge_xC_y層内における上記第1のSi層に近接した領域と、上記第2のSi_{1-x-y}Ge_xC_y層内における上記第2のSi層に近接した領域とには、互いに異なる導電型のキャリアを閉じこめるための第1及び第2のキャリア蓄積層がそれぞれ形成されている。

【0038】これにより、それぞれキャリアの閉じこめ効率の高いチャネルを有しかつ動作速度の大きいn-チャネル電界効果トランジスタ及びp-チャネル電界効果トランジスタを備えたHCMOSデバイスとして機能する半導体装置が得られる。しかも、第1のSi_{1-x-y}Ge_xC_y層と第1のSi層との間では、格子不整合がなくなりあるいは極めてわずかになるように制御できるので、第1のSi_{1-x-y}Ge_xC_y層に結晶欠陥が入らないように構成することが可能である。したがって、高い信頼性を有する半導体装置を得ることができる。

【0039】請求項12に記載されているように、請求項11において、上記第2のSi_{1-x-y}Ge_xC_y層におけるCの組成比yを0とすることができます。

【0040】請求項13に記載されているように、請求項11において、上記半導体基板上に形成され、単一組成の半導体層をチャネル領域とするMOSトランジスタをさらに設けてよい。

【0041】これにより、動作速度が要求される部分には、上記第1のSi_{1-x-y}Ge_xC_y層をチャネル領域に有するトランジスタを配置し、それ以外の部分では、通常のMOSトランジスタを配置して、半導体装置の応

用範囲を拡大させることができる。

【0042】請求項14に記載されているように、請求項11において、上記第1のSi_{1-x-y}Ge_xC_y層におけるCの組成比yを、0.01~0.03とすることが好ましい。

【0043】請求項15に記載されているように、請求項11において、上記第1のSi_{1-x-y}Ge_xC_y層の各元素の組成比を、上記第1のSi_{1-x-y}Ge_xC_y層と上記第1のSi層とが格子整合する組成比に調整しておくことが好ましい。

【0044】これにより、格子歪のない信頼性の高い電界効果型トランジスタを有する半導体装置が得られる。

【0045】請求項16に記載されているように、請求項11において、上記第1のSi_{1-x-y}Ge_xC_y層を、上記第1のSi層の格子定数よりも小さい格子定数を有し、かつ、格子緩和を起こさない膜厚を有するものとすることができます。

【0046】これにより、第1のSi_{1-x-y}Ge_xC_y層には引っ張り歪みが加わるために、第1のSi層との間のバンド不連続量を大きくすることができ、キャリアの閉じこめ効率が向上する。

【0047】請求項17に記載されているように、請求項11~16のうちいずれか1つにおいて、上記第1のキャリア蓄積層に蓄積されるキャリアを負のキャリアとし、上記第2のキャリア蓄積層に蓄積されるキャリアを正のキャリアとすることが好ましい。

【0048】請求項18に記載されているように、請求項11~17のうちいずれか1つにおいて、上記第1のSi層内における上記第1のSi_{1-x-y}Ge_xC_y層に近接した領域に、上記第1のキャリア蓄積層にキャリアを供給するためのキャリア供給層がさらに形成されていることが好ましい。

【0049】請求項19に記載されているように、請求項11において、上記第1及び第2のSi_{1-x-y}Ge_xC_y層のうち少なくとも一方のSi_{1-x-y}Ge_xC_y層は量子井戸領域となっていることが好ましい。

【0050】請求項20に記載されているように、請求項11~19のうちいずれか1つにおいて、上記第1及び第2のSi_{1-x-y}Ge_xC_y層のうち上方に形成されたSi_{1-x-y}Ge_xC_y層の直上に形成された低抵抗の導体膜からなるソース・ドレインコンタクト層をさらに備えることが好ましい。

【0051】本発明の第3の半導体装置は、請求項21に記載されているように、半導体基板上に形成された少なくとも1つの電界効果トランジスタを備えた半導体装置であって、上記電界効果トランジスタは、Si_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)を含む第1の半導体層、上記第1の半導体層とはバンドギャップの異なる半導体により構成される第2の半導体層、及び上記第1、第2の半導体層の間の界面付近の領域に形成され

たキャリア蓄積層を有するチャネル領域と、第3の半導体層及び該第3の半導体層よりもバンドギャップの大きい半導体で構成される第4の半導体層を有するソース・ドレイン領域と、上記第3の半導体層の直上に形成された低抵抗の導体膜からなるソース・ドレインコンタクト層とを備えている。

【0052】これにより、ヘテロ接合を利用したキャリア移動の高いつまり動作速度の高い電界効果トランジスタにおけるソース・ドレイン領域へのコンタクト抵抗を低減することが可能になる。

【0053】請求項22に記載されているように、請求項21において、上記第1の半導体層と上記第3の半導体層とを共通の第1の半導体膜により構成し、上記第2の半導体層と上記第4の半導体層とを共通の第2の半導体膜により構成し、上記第2の半導体膜を上記第1の半導体膜の上に形成しておくことができる。

【0054】請求項23に記載されているように、請求項21において、上記第1の半導体層と上記第3の半導体層とを互いに異なる半導体膜により構成し、上記第3の半導体層を上記第1の半導体層の上方に形成しておき、上記第4の半導体層を、上記第3の半導体層の上に形成しておくことができる。

【0055】本発明の第1の半導体装置の製造方法は、請求項24に記載されているように、n-チャネル電界効果型トランジスタと、p-チャネル電界効果型トランジスタとを有する半導体装置の製造方法であって、半導体基板上に、第1のSi層と、上記Si層に接するとともに上記第1のSi層に近接した領域に上記n-チャネル電界効果型トランジスタのチャネルとなる第1のキャリア蓄積層を有するように第1のSi_{1-x-y}Ge_xC_y層（0≤x≤1, 0<y≤1）とを形成する第1の工程と、半導体基板上に、第2のSi層と、上記第2のSi層に接するとともに、上記第1のSi_{1-x-y}Ge_xC_y層とは異なるバンドギャップを有し、上記第2のSi層に近接した領域に上記p-チャネル電界効果型トランジスタのチャネルとなる第2のキャリア蓄積層を有する第2のSi_{1-x-y}Ge_xC_y層（0≤x≤1, 0≤y≤1）とを形成する第2の工程と、上記第1及び第2のSi_{1-x-y}Ge_xC_y層のうち上方に位置するSi_{1-x-y}Ge_xC_y層の上に導体膜を堆積した後、該導体膜をバーニングして上記n-チャネル電界効果型トランジスタ及びp-チャネル電界効果型トランジスタのゲート電極をそれぞれ形成する第3の工程と、上記各トランジスタのゲート電極をマスクとして、上記n-チャネル電界効果型トランジスタ形成領域には少なくとも上記第1のキャリア蓄積層に達する深さまでn型不純物を、上記p-チャネル電界効果型トランジスタ形成領域には少なくとも上記第2のキャリア蓄積層に達する深さまでp型不純物をそれぞれ導入して、上記n-チャネル電界効果型トランジスタ及びp-チャネル電界効果型トランジスタ

のソース・ドレイン領域をそれぞれ形成する第4の工程とを備えている。

【0056】この方法により、請求項11の構造を有する半導体装置が容易に形成されることになる。

【0057】本発明の第2の半導体装置の製造方法は、請求項25に記載されているように、Si_{1-x-y}Ge_xC_y層（0≤x≤1, 0≤y≤1）を含む第1の半導体層と、上記第1の半導体層とは異なるバンドギャップを有する第2の半導体層と、上記第1、第2の半導体層の間の界面付近の領域に形成されたチャネルとなるキャリア蓄積層とを有し、電界効果トランジスタとして機能する半導体装置の製造方法であって、半導体基板の電界効果トランジスタ形成領域に、第3の半導体層と、該第3の半導体層よりも大きいバンドギャップを有する第4の半導体層とを順次形成する第1の工程と、上記第4の半導体層の上方に導体膜を堆積した後、該導体膜をバーニングしてゲート電極を形成する第2の工程と、上記ゲート電極の両側方に位置する上記電界効果型トランジスタ形成領域に少なくとも上記キャリア蓄積層に達する深さまで不純物を導入して、ソース・ドレイン領域を形成する第3の工程と、上記ソース・ドレイン領域における上記第4の半導体層を、少なくとも上記第3の半導体層が露出するまでエッティングにより除去する第4の工程と、上記第3の半導体層の露出した面上に低抵抗の導体膜からなるソース・ドレインコンタクト層を形成する第5の工程とを備えている。

【0058】この方法により、請求項20の構造を有する半導体装置が容易に形成されることになる。

【0059】請求項26に記載されているように、請求項25において、上記第1の工程は、上記第1及び第3の半導体層を共通の第1の半導体膜で構成し、上記第2及び第4の半導体層を共通の第2の半導体膜で構成するように行なうことができる。

【0060】請求項27に記載されているように、請求項25において、上記第1の工程の前に、上記第1及び第2の半導体層を形成する工程をさらに備え、上記第1の工程は、上記第1の半導体層の上方に第3の半導体層を形成するように行なうことができる。

【0061】請求項28に記載されているように、請求項25～27のうちいずれか1つにおいて、上記第4の工程は、上記第3の半導体層と上記第4の半導体層とにに対するエッティング選択比の高いエッティング条件で行なうことが好ましい。

【0062】

【発明の実施の形態】

(第1の実施形態) 第1の実施形態に係るHCMOSデバイスは、SiGe/Si系にCを添加してなるSiGeCの3元混晶系を用い、このSiGeC層とSi層とをほぼ格子整合させ、バンドギャップエネルギーの差異からヘテロ界面にバンド不連続部を形成する電界効果ト

ランジスタである。

【0063】図1は、第1の実施形態に係るHCMOSデバイスの構造を示す断面図である。同図に示すように、シリコン基板10上には、NMOSトランジスタとPMOSトランジスタとが形成されているが、まず、NMOSトランジスタの構造から説明する。

【0064】NMOSトランジスタにおいて、Si基板10上にはpウェル11(高濃度p型シリコン層)が形成されており、さらにその上に、V族元素が高濃度にドーピングされたδドープ層及びスペーサー層を有するSi層13nと、SiGeC層14n(Cの組成率は1%、Geの組成率は8.2%)とが順次形成されている。後述するように、このSiGeC層14nにおける各元素の組成比は、SiGeC層14nとその直下のSi層13nとが格子整合する値となっている。

【0065】このSiGeC層14nとSi層13nとのヘテロ界面には、図1の右方部分に示すように、バンドオフセット値 ΔE_c を有する伝導帯 E_c のバンド不連続部が存在しており、このバンド不連続部に負のキャリアである電子を2次元電子ガス(2DEG)として閉じこめるためのキャリア蓄積層が形成される。そして、このSiGeC層14n側の界面付近に形成されたキャリア蓄積層が電子が高速で走行するチャネルとなる。SiGeC層14n内では、Si層内に比べて電子の移動度が大きく、このNMOSトランジスタの動作速度も大きくすることができる。

【0066】さらに、このSiGeC層14nの上に、SiGe層15n(Geの組成率は30%、Siの組成率は70%)と、Si層17nとが順次形成され、さらに表面には、シリコン酸化膜からなるゲート絶縁膜19nが形成されている。このゲート絶縁膜19nの下にはSi層17nが存在しているために、Si層17nの表面を酸化するだけで結晶性の高いゲート絶縁膜19nを容易に形成することができる。ゲート絶縁膜19nの上には、ゲート電極18nが形成され、このゲート電極18nの両側に位置する基板内にはソース・ドレイン層16nが形成されている。SiGeC層14n内における電子の走行は、ゲート電極18nに印加される電圧によって制御される。なお、ソース・ドレイン層16nは、pウェル11に達する深さにまで形成されているが、少なくとも、SiGeC層14nに形成されるチャネルとなる部分の深さにまで形成しておけばよい。

【0067】一方、PMOSトランジスタは、以上で説明したNMOSトランジスタとほぼ同じ構成を有している。Si基板10上にはnウェル12(高濃度n型Si層)が形成されており、さらにその上に、V族元素が高濃度にドーピングされたδドープ層を有するSi層13pと、SiGeC層14p(Geの組成率は8.2%、Cの組成率は1%)とが順次形成されている。さらに、このSiGeC層14pの上に、SiGe層15p(G

eの組成率は30%、Siの組成率は70%)と、Si層17pとが順次形成されている。PMOSトランジスタの場合は、キャリアが正孔となるが、この正孔が流れるチャネルはSiGe層15pとSi層17pとの界面のSiGe層15p側に形成される。このSiGe層15pとSi層17pとのヘテロ界面に、バンドオフセット値 ΔE_v を有する価電子帯のバンド不連続部が存在し、この不連続部にキャリア蓄積層が形成される。したがって、SiGe層15p側の界面に形成されたキャリア蓄積層チャネルを正孔が走行するが、SiGe層15p内でもSi層内に比べて正孔の移動度が大きいので、このPMOSトランジスタの動作速度も大きくなる。

【0068】PMOSトランジスタにおいて、Si層17pの上には、シリコン酸化膜からなるゲート絶縁膜19pが形成されている。ゲート電極18pの両側にはソース・ドレイン層16pが形成され、SiGe層15pにおける正孔の走行はゲート電極18pに印加される電圧により制御されている。

【0069】また、NMOSトランジスタとPMOSトランジスタとの間は、基板に形成された溝をシリコン酸化膜によって埋め込んでなるトレンチ分離20が設けられており、このトレンチ分離20によって、NMOSトランジスタとPMOSトランジスタとが、互いに電気的に分離されている。

【0070】なお、各Si層13n、13p、各SiGeC層14p、14n、各SiGe層15n、15p、各Si層17n、17pは、結晶成長によりそれ同時に形成されている。そして、各層の寸法は、例えば以下のよう寸法とすることができる。ただし、必ずしも以下寸法に限定されるものではない。

【0071】各Si層13n、13pの厚みは例えば0.6μm程度であり、0~1μmの範囲にあることが好ましい。スペーサー層の厚みは例えば30nm程度であり、0~50nmの範囲にあることが好ましい。各SiGeC層14p、14nの厚みは3~50nmであることが好ましい。各SiGe層15n、15pの厚みは5nm程度であり、3~5nmの範囲にあることが好ましい。各Si層17n、17pの厚みは1nm程度であり、0.5~5nmの範囲にあることが好ましい。ゲート絶縁膜19n、19pの厚みは、例えば5nm程度である。

【0072】また、ゲート電極18n、18pのゲート長は0.25μm、ゲート幅は2.5μm、ソース・ドレイン領域の幅は1.2μm程度であり、ソース・ドレイン電極21n、21pのコンタクト面積は、0.5μm×0.6μm程度である。各ウェル13n、13pのドーピング濃度は $1\times 10^{17}\sim 1\times 10^{18} \text{ cm}^{-3}$ 程度であり、δドープ層のドーピング濃度は、 $1\times 10^{18}\sim 1\times 10^{19} \text{ cm}^{-3}$ 程度である。

【0073】本実施形態におけるHCMOSデバイス

(Heterostructure CMOSデバイス)の特徴は、SiGeC層を用いている点である。このSiGeC層は、Si、Ge、Cの各々の組成比の調整により、バンドギャップ量およびシリコンに対する格子不整合率を変えることができる。ここで、本実施形態におけるSi、Ge、Cの組成比と、各層の歪及びバンドオフセット量との関係について詳細に説明する。

【0074】図2は、横軸にC(カーボン)の組成比(%)、縦軸にGeの組成比(%)をとったときに、SiGeC層とSi層との格子不整合率(%)（ミスフィット）が変化する様子を示している。ミスフィットがゼロのラインは、SiGeC層とSi層との格子定数が等しいことを示す。Ge(ゲルマニウム)単結晶の格子定数はSi単結晶の格子定数よりも大きく、C(カーボン)単結晶の格子定数は、Si単結晶の格子定数よりも小さいので、GeとCの組成比を調整することで、SiGeC層14nの格子定数とSi層13nの格子定数とを一致させることができるのである。

【0075】図3は、Si、Ge、Cの3元素の組成比に対する格子整合との関係を示す特性図である。同図の3つの頂点は、それぞれSi、Ge、Cの組成率が100%（組成比が1）の点であり、SiGeC層の3元混晶系の組成比の調整によってSiとの格子不整合率が変化する様子を示している。同図中のハッチング領域はSiGeC層に引っ張り歪を与える組成比の領域を示し、同図中の実線は、SiGeC層とSi層との格子不整合がゼロつまり両者が格子整合するための各元素の組成比の条件を示す。Geの格子定数はSiの格子定数よりも4.2%大きく、Cの格子定数はSiの格子定数よりも34.3%小さいので、Geの組成比をCの組成比よりも8.2倍大きくすることで、SiGeC層の格子定数をSi層の格子定数に一致させることができる。

【0076】本実施形態におけるSiGeC層14nにおいては、Geの組成率が8.2% ($x = 0.082$) であり、Cの組成率が1% ($y = 0.01$) であることから、図3よりSi基板との格子不整合が0であり、SiGeC層14nと下方のSi層13nとは同じ格子定数を有していることがわかる。

【0077】次に、図4は、横軸にCの組成比をとり、縦軸にエネルギーレベルをとったときに、SiGeC層とSi層との界面における伝導帯のバンドオフセット値 ΔE_c 、ならびに価電子帯のバンドオフセット値 ΔE_v が変化する様子を示している。但し、黒丸は価電子帯のバンドオフセット値 ΔE_v であり、白丸は伝導帯のバンドオフセット値 ΔE_c を表わしている。また、エネルギーの原点は、伝導帯に対してはSiの伝導帯の下端のエネルギー値にとり、価電子帯に対してはSiの価電子帯の上端のエネルギー値にとってある。また、同図の実線は無歪み系に対応し、同図の点線は引っ張り歪み系に対応している。

【0078】図4に示すように、本実施形態のSiGeC層(Cの組成比が0.01)及びSi層間の界面における伝導帯ならびに価電子帯のバンドオフセット値は、それぞれ300meV、0meVであり、SiGeC層とSi層の界面では価電子帯にはバンド不連続部がなく、伝導帯にのみバンド不連続部が形成されることがわかる。また、本実施形態のSiGeC層14nにおけるCの組成比は0.01であるので、SiGeC層14nとSi層13nとは格子整合している。したがって、2次元電子ガスが走行するチャネルが形成されるSiGeC層14n内において、下方のSi層13nとの格子不整合に起因する転位等の欠陥の発生を防止できる。

【0079】一方、本実施形態におけるSiGeC層14nとSi層13n間の界面における価電子帯にはバンド不連続部がないため、SiGeC層14n内に正孔を閉じ込めることができない。そこで、正孔をキャリアアとするPMOSトランジスタの場合は、SiGe層15pとSi層17pとのヘテロ接合を利用している。SiGe単結晶の格子定数はSi単結晶の格子定数よりも大きく、しかも、SiGe層15pはSi層13pと格子整合しているSiGeC層14pの上に位置するため、圧縮歪みによるバンド構造の変化により価電子帯でのバンドオフセット値が大きくなっている。この場合もゲートからの電界印加時にバンド傾斜により正孔が2次元的に閉じ込められ(2DHG)て、キャリア蓄積層となる。したがって、SiGe層15p内のキャリア蓄積層が正孔が高速で走行するためのチャネルとなる。

【0080】以上のように、本実施形態の構造によると、NMOSトランジスタにおいては、SiGeC層14nにおける各元素Si、Ge、Cの組成比の調整により、伝導帯のバンドオフセット値を2次元電子ガスを蓄積するのに十分な値に維持しながら、SiGeC層とSi層との間の格子整合を図ることができる。よって、SiGeC層内における2次元電子ガスの高いキャリア移動度を利用して動作速度の高速化を実現しながら、欠陥密度の低減による高い信頼性を発揮することができる。また、SiGeC層14nとSi層13n間の界面における価電子帯にはバンド不連続部がないため、SiGeC層14n内に正孔を閉じ込めることができないが、SiGe層15pとSi層17pとのヘテロ接合を利用して、正孔をキャリアとして利用するPMOSトランジスタのチャネルを形成することができ、高速動作を実現することができる。

【0081】そして、速度の大きいNMOSトランジスタと、SiGeを用いて価電子帯のバンド不連続部を形成して速度の大きいPMOSトランジスタとを集積することにより、高性能なHCMOSデバイスを実現することができる。

【0082】なお、本実施形態では、Geの組成率を8.2%、Cの組成率を1%としたが、図4から格子整

合系でバンド不連続部つまりバンドオフセット値 ΔE_v がもっとも大きくなるようにするには、Cの組成比を大きくすればよいことがわかる。このように大きなバンドオフセット値 ΔE_v を設けることにより、ヘテロ界面に閉じ込められた2次元電子ガス(2DEG)は、電子の濃度が高くなてもヘテロ界面を乗り越えることがなく、安定して走行することができる。特に、Cの組成比を0.01～0.03の範囲に調整することが好ましい。この範囲内では、無歪み系及び引っ張り歪み系のいずれにおいても、2次元電子ガスを閉じこめるためのキャリア蓄積層を形成するのに適正なバンドオフセット値 ΔE_v (= -0.2～-0.6eV)を得ることができる。

【0083】なお、本実施形態では、SiGe層15pにおけるGeの組成率を30%としたが、バンドオフセット値がもっとも大きくなるようにGeの組成率を大きくし、圧縮歪みを大きくしてもよい。

【0084】また、HCMOSデバイスはSi基板上に形成することから、素子のスピードが要求されるところにはこのHCMOSデバイスを用い、それ以外には、通常のSi単一組成を有する活性領域上に形成したCMOSデバイスを作製してもよい。このように構成することで、Si基板に直接作製するMOS型電界効果トランジスタとの集積化をも可能になる。なお、SiGeCを用いたデバイスとしては、同一基板上にp, n型のトランジスタを形成する必要はない。例えば、移動体通信機器に用いる集積回路の場合、高速動作が要求される高周波領域で使用される増幅器、ミキサー等は相補型回路を構成する必要がないために、p, n型のうちの一方のみ(例えばn型)のSiGeCを用いたMOSトランジスタで構成し、相補型回路を構成する必要のあるデジタル信号処理を行う部分をSi単一組成を用いたCMOSデバイスで構成することなどが考えられる。

【0085】次に、第1の実施形態のHCMOSデバイスの製造方法について、図5(a)～(f)を参照しながら説明する。図5(a)～(f)は、図1に示すHCMOSデバイスの構造を実現するための製造工程の一例を示す断面図である。

【0086】まず、図5(a)に示す工程で、Si基板10にpウェル11、nウェル12をイオン注入により形成する。

【0087】次に、図5(b)に示す工程で、各ウェル11、12上に、UHV-CVD法により δ ドープ層を含むSi層13と、SiGeC層14(Ge:8.2%、C:1%)と、SiGe層15と、Si層17とをそれぞれ成長させる。なお、 δ ドープ層及びスペーサー層も形成されているが、見やすくするためにこれらの層の図示は省略されている。

【0088】次に、図5(c)に示す工程で、PMOSトランジスタ、NMOSトランジスタとを電気的に分離

するために、トレンチ分離用の溝を形成した後、この溝をシリコン酸化膜で埋めてトレンチ分離20を形成する。この処理により、Si層13、SiGeC層14、SiGe層15、Si層17が、各々NMOSトランジスタ側のSi層13n、SiGeC層14n、SiGe層15n、Si層17nと、PMOSトランジスタ側のSi層13p、SiGeC層14p、SiGe層15p、Si層17pとに分離される。さらに、Si層17n、17pの表面を酸化してゲート絶縁膜19n、19pをそれぞれ形成する。

【0089】次に、図5(d)に示す工程で、基板の全面にポリシリコン膜を堆積した後、これをバターニングしてNMOSトランジスタ及びPMOSトランジスタの各ゲート絶縁膜19n、19pの上にゲート電極18n、18pをそれぞれ形成する。その後、各ゲート電極18n、18pをマスクとして、NMOSトランジスタ側には、リンイオン(P₊)の注入により、ソース・ドレイン領域16nを形成し、PMOSトランジスタ側には、ボロンイオン(B₊)の注入により、ソース・ドレイン領域16pをそれぞれ形成する。NMOSトランジスタのソース・ドレイン領域16nの深さは少なくともSiGeC層14n内のキャリア蓄積層よりも深ければよく、PMOSトランジスタのソース・ドレイン領域16pの深さは、少なくともSiGe層15p内のキャリア蓄積層よりも深ければよい。これは、SiGeC層14n、SiGe層15p内の各キャリア蓄積層にチャネルが形成されるためである。

【0090】次に、図5(e)に示す工程で、ゲート絶縁膜19n、19pのうちソース・ドレイン領域16n、16pの上方の部分に開口を形成し、図5(f)に示す工程で、ゲート絶縁膜19n、19pの開口にソース・ドレイン電極21n、21pをそれぞれ形成する。

【0091】これにより、Si基板10の上にNMOSトランジスタ、PMOSトランジスタからなるHCMOSデバイスが形成される。

【0092】このように、本実施形態の製造方法によると、NMOSトランジスタ、PMOSトランジスタで異なったチャネルを形成する必要があるものの、結晶成長はNMOSトランジスタ、PMOSトランジスタで共通に行うことができ、簡単に製造することができる。

【0093】(第2の実施形態) 上述の第1の実施形態では、SiGeC層をシリコンに格子整合させたものを用いて電界効果型トランジスタを形成したが、本実施形態では、結晶性の劣化のない範囲で、SiGeC層に積極的に歪みを導入し、この歪みによるバンド構造の変化を利用したトランジスタとするものである。本実施形態に係るHCMOSデバイスの構造は、基本的には、図1に示す第1の実施形態に係るPMOSトランジスタ、NMOSトランジスタを1つのトランジスタ内に実現した構造となっている。

【0094】図6(a)～(c)は、それぞれSiGeC層に圧縮歪みを生ぜしめた場合、SiGeC層をSi層に格子整合させた場合(歪みなし)、及びSiGeC層に引っ張り歪みを生ぜしめた場合における結晶構造の状態を示す図である。同図(a)に示すように、SiGeC層の格子定数をSi層の格子定数よりも大きくするとSiGeC層には圧縮歪みが生じ、SiGeC層における伝導帯の下端-価電子帯の上端間のバンドギャップ値が拡大する。一方、同図(c)に示すように、SiGeC層の格子定数をSi層の格子定数よりも小さくするとSiGeC層には引っ張り歪みが生じ、SiGeC層における伝導帯の下端-価電子帯の上端間のバンドギャップ値が縮小する。すなわち、SiGeC層の歪みによりバンド構造が変化していくので、この効果を積極的に利用することで、SiGeC層に隣接するSi層等の層のバンドオフセット値を変更することができる。

【0095】ここで、SiGeC層の格子定数をSi層の格子定数からはずらせた場合でも、SiGeC層の厚みを格子緩和が起こらず歪みが蓄積される程度にすることにより、転位等の結晶欠陥の発生に起因する素子の信頼性の低下を有效地に防止することができる。

【0096】図7(a), (b)は、本実施形態に係る電界効果トランジスタのチャネル領域におけるバンド構造図及び断面図である。Si基板の上にSi層13nを成長させた後、Cの組成比を大きくしたSiGeC層14n(Geを10%、Cを4%)を成長させることにより、SiGeC層14nにおけるバンドギャップ値は大きく、格子定数は小さくなるように設定することができる。そして、SiGeC層14nの厚みを格子緩和が起こらずに歪みが蓄積される程度に小さくしておくことにより、SiGeC層14nは引っ張り歪みを受ける。したがって、Cの組成比を大きくすることによるバンドギャップ値の増大効果に加えて、SiGeC層14nの引っ張り歪みにより、SiGeC層14nからSi層13nの界面における伝導帯のバンドオフセット値が大きくなり、2次元電子ガス(2DEG)の閉じ込め効率が向上する。

【0097】さらに、SiGeC層14nは格子緩和していないので、上面の格子定数はSi層13nの格子定数に一致している。したがって、SiGeC層14nの上にSiGe層15pを成長させると、SiGe層15pの格子定数がSi層13nの格子定数よりも大きいためにSiGe層15pは圧縮歪みを受ける。

【0098】したがって、本実施形態に係る半導体装置によると、SiGeC層14nに引っ張り歪み、SiGe層15pに圧縮歪みを導入することにより、SiGeC層14nとSi層13nとの界面における伝導帯でのバンドオフセット値を大きく、またSiGe層15pとSi層17pとの界面における価電子帯でのバンドオフセット値を大きくしておき、このトランジスタをNMO

Sトランジスタとして使用する場合にはSiGeC層14nに形成されるチャネルを利用する一方、PMOSトランジスタとして使用する場合にはSiGe層15pに形成されるチャネルを利用して共通のゲート電極やソース・ドレイン領域を有しながら、チャネル位置の異なるHCMOSデバイスを形成することができる。

【0099】しかも、各層の厚みを適正に設定することで、格子不整合による転位や欠陥の導入の無い、良好な結晶性による信頼性の高い電界効果型トランジスタを有するHCMOSデバイスを得ることができる。

【0100】なお、上述の図4の破線は、本実施形態におけるSiGeC層14nに0.25%の引っ張り歪みが加わるような組成を示している。一般に、SiGeC層におけるGeの組成比がCの組成比の8.2倍のときにSi層に格子整合するのであるから、Geの組成比をCの組成比の8.2倍よりも小さくすることでSiGeC層14nに引っ張り歪みを導入することができる。また、Cの組成比をyとしたとき、Geの組成を8.2y-0.12とした場合、SiGeC層14nの格子定数をSi層13nの格子定数より0.25%小さくすることができる。

【0101】図4に示すように、無歪み系の場合と同じく、SiGeC層14nとSi層13nの界面では、価電子帯にはバンド不連続部がなく、伝導帯にのみバンド不連続が形成されることがわかる。Cの組成率が2%以下の場合は伝導帯のバンドオフセット値は無歪みの場合とほとんど同じであり、Cの組成率とGeの組成率との比が格子整合の条件を満足する値からずれても、格子整合系とほぼ同じ素子特性を得ることができる。このことは、SiGeC層14nを結晶成長する際のCの組成率とGeの組成率の制御の面から見て、条件に幅を持たせることができることを意味し、SiGeC層の結晶成長を容易にする。また、Cの組成率が2%以上の場合、無歪みの場合と比べて、同じCの組成率においてもバンドオフセット値を大きくとることができる。これにより、バンドオフセット値をより大きくとる必要がある場合にも対応することができる。

【0102】ここでは、SiGeCの格子定数をSiよりも小さくして使用してはいるが、層の厚みは格子緩和が起こらず歪みが蓄積される程度にしているので、転位等の結晶欠陥により素子の信頼性が低下することはない。

【0103】(第3の実施形態)先に述べた第1の実施形態では、電界効果トランジスタのチャネル領域にSiGeC層をSi層に格子整合させたヘテロ構造を形成し、ヘテロ界面におけるバンド不連続部に電子もしくは正孔を閉じ込めて、キャリアとして用いた。

【0104】本実施形態では、キャリアを閉じ込める領域をヘテロ界面ではなくSi/SiGe/SiもしくはSi/SiGe/Siの構造で量子井戸構造を形成

し、障壁層ではさまれる量子井戸（SiGeC、SiGe）をチャネルとして動作するトランジスタを設ける。

【0105】図8は、本実施形態に係るHCMOSデバイスの断面図である。Si基板30上に、NMOSトランジスタとPMOSトランジスタとが形成されたCMOSデバイス構造である。この構造では、シリコン基板30上にpウェル31及びnウェル32を設けている点と、その上にV族元素が高濃度にドーピングされたドープ層を有する第1のSi層33n、33pを設けている点とは、第1の実施形態における図1に示すHCMOSデバイスの構造と同じである。ただし、この第1のSi層33n、33p上のPMOSトランジスタ、NMOSトランジスタの構造は、上記第1の実施形態の構造と異なっている。

【0106】NMOSトランジスタにおいては、第1のSi層33nの上に、第1のSi層33nに格子整合する組成を有するSiGeC層34nが形成されており、さらにSiGeC層34nの上に第2のSi層35nが積層されている。本実施形態では、第1のSi層33n-SiGeC層34n-第2のSi層35nに亘る伝導帯において、2つのバンド不連続部によって挟まれる量子井戸領域（SiGeC層34n）が存在するので、この量子井戸領域であるSiGeC層34nにキャリアである2次元電子ガス（2DEG）を閉じこめるためのキャリア蓄積層が形成される（図8の右方のバンド図参照）。すなわち、NMOSトランジスタの動作時にはSiGeC層34nにチャネルが形成される。なお、第2のSi層35nの上に、膜厚の小さなSiGe層36nと、第3のSi層37nとが順次形成されている。

【0107】この構造により、上記第1の実施形態と同様に、Si層に比べて電子の移動度の大きいSiGeC層34nにキャリアの移動のためのチャネルが形成されるので、動作速度の大きいNMOSトランジスタが得られる。加えて、量子井戸層となるSiGeC層34nの膜厚が小さいため、キャリアの閉じ込め効率が上記第1の実施形態における構造よりも向上し、混晶比の小さな系で実現できる。そのため、混晶化に伴う結晶構造の規則性の悪化に起因するキャリアの散乱などのキャリアとなる電子の移動度を劣化させる要因を抑制できる。

【0108】PMOSトランジスタにおいても、第1のSi層33pの上に、第1のSi層33pに格子整合する組成を有するSiGeC層34pと、第2のSi層35pと、膜厚の小さいSiGe層36pと、第3のSi層37pとが順次形成されている点は上記NMOSトランジスタの構造と同じである。ただし、PMOSトランジスタの場合は、第2のSi層35p-SiGe層36p-第3のSi層37pに亘る価電子帯において、2つのバンド不連続部で挟まれる量子井戸領域（SiGe層36p）が存在し、この量子井戸領域にキャリアである

正孔を2次元的に閉じこめるためのキャリア蓄積層が形成される。すなわち、PMOSトランジスタの動作時には、SiGe層36pにチャネルが形成される。SiGe層36pもSi層に比べて正孔の移動度が大きいので、このPMOSトランジスタの動作速度も大きくなる。

【0109】さらに、NMOSトランジスタ、PMOSトランジスタにおいて、基板の上には、シリコン酸化膜からなるゲート絶縁膜39n、39pが形成され、ゲート絶縁膜39n、39pの上にはゲート電極38n、38pが形成されている。ゲート電極38n、38pの両側にはソース・ドレイン層42n、42pが形成され、ソース・ドレイン領域42n、42pの上にはソース・ドレイン電極41n、41pがコントラクトしている。なお、いうまでもないが、NMOSトランジスタ、PMOSトランジスタにおいて、量子井戸領域であるSiGeC層34n、SiGe層36pにおける電子、正孔の走行はゲート電極38n、38pに印加される電圧によりそれぞれ制御されている。

【0110】また、NMOSトランジスタとPMOSトランジスタとの間は、分離用溝にシリコン酸化膜を埋め込んでなるトレンチ分離40が形成されており、このトレンチ分離40によって、NMOSトランジスタ、PMOSトランジスタは、互いに電気的に分離されている。

【0111】本実施形態のHCMOSデバイスによると、第1の実施形態と同様に、NMOSトランジスタにおいては、Si層に格子整合するとともに量子井戸領域となるSiGeC層34nが形成されており、このSiGeC層34nに電子が走行するためのチャネルが形成される。また、PMOSトランジスタにおいても、量子井戸領域となるSiGe層36pが形成されており、このSiGe層36pに正孔が走行するためのチャネルが形成される。したがって、キャリア閉じこめ効率の高い量子井戸構造を利用したスイッチング速度の大きいNMOSトランジスタとPMOSトランジスタとを集積することにより、高性能なHCMOSを実現することができる。

【0112】ただし、本実施形態において、素子のスピードが要求される回路にてこのHCMOSデバイスを用い、それ以外の回路には、通常のSi基板上に形成したCMOSデバイスを作製するようにしてもよく、Si基板上に直接形成したMOS型電界効果トランジスタとの集積をも可能である。

【0113】なお、必ずしも、NMOSトランジスタ及びPMOSトランジスタのチャネルの双方が量子井戸領域となっていなくてもよい。

【0114】次に、第3の実施形態に係るHCMOSデバイスの製造方法について、図9(a)～(f)を参照しながら説明する。図9(a)～(f)は、図8に示すHCMOSデバイスの構造を実現するための製造工程の

一例を示す断面図である。

【0115】まず、製造工程の概略を説明すると、SiGeC層34、第2のSi層35及びSiGe層36を成長させる際に、SiGeC層34及びSiGe層36の膜厚を、量子井戸構造となるように10nm以下、例えば3nmとしている。その他の部分は、図5(a)～(f)に示す工程とほぼ同じ工程で形成される。

【0116】まず、図9(a)に示す工程で、Si基板30にpウェル31、nウェル32をイオン注入により形成する。

【0117】そして、図9(b)に示す工程で、pウェル31、nウェル32上に、UHV-CVD法によりδドープ層を含む第1のSi層33と、SiGeC層34(Ge:36%、C:4%)と、第2のSi層35と、SiGe層36と、第3のSi層37とを順次成長させていく。

【0118】次に、図9(c)に示す工程で、PMOSトランジスタ、NMOSトランジスタとを電気的に分離するために、トレンチ分離用溝を形成した後、この溝をシリコン酸化膜で埋めてトレンチ分離40を形成する。この処理により、第1のSi層33、SiGeC層34、第2のSi層35、SiGe層36、第3のSi層37及びゲート絶縁膜39が、各々NMOSトランジスタ側の第1のSi層33n、SiGeC層34n、第2のSi層35n、SiGe層36n、第3のSi層37nと、PMOSトランジスタ側の第1のSi層33p、SiGeC層34p、第2のSi層35p、SiGe層36p、第3のSi層37pとに分離される。その後、第3のSi層37n、37pの表面を酸化して、ゲート絶縁膜39n、39pを形成する。

【0119】この後、図9(d)に示す工程で、ゲート電極38n、38pを形成した後、NMOSトランジスタ側には、リンイオン(P₊)の注入により、ソース・ドレイン領域42nを形成し、PMOSトランジスタ側には、ボロンイオン(B₊)の注入により、ソース・ドレイン領域42pを形成する。NMOSトランジスタのソース・ドレイン領域42nの深さは少なくともSiGeC層34nよりも深ければよく、PMOSトランジスタのソース・ドレイン領域42pの深さは、少なくともSiGe層36pよりも深ければよい。これは、SiGeC層34n、SiGe層36p内にチャネルが形成されるためである。

【0120】この後、図9(e)に示す工程で、ソース・ドレイン領域42n、42pの上方部分のゲート絶縁膜39n、39pに開口を形成し、図9(f)に示す工程で、その開口に、ソース・ドレイン電極41n、41pをそれぞれ形成する。

【0121】以上の工程により、第3の実施形態に係るNMOSトランジスタ、PMOSトランジスタからなるHCMOSデバイスの構造が実現する。

【0122】本実施形態の製造方法によると、NMOSトランジスタのチャネルをヘテロ接合を利用した量子井戸構造のSiGeC層34nとし、PMOSトランジスタのチャネルをヘテロ接合を利用した量子井戸構造のSiGe層36pとするHCMOSデバイスが容易に形成される。しかも、本実施形態の製造方法によると、NMOSトランジスタ、PMOSトランジスタで異なったチャネルを形成する必要があるものの、結晶成長はNMOSトランジスタ、PMOSトランジスタで共通に行うことができ、簡単に製造することができる。

【0123】(第4の実施の形態)図10は、第4の実施形態に係る電界効果トランジスタの構造を示す断面図である。本実施形態は、ヘテロ電界効果トランジスタに適したソース・ドレインコンタクトを提供する構造に関するものである。

【0124】同図に示されるように、Si層からなるウェル51の上には、SiGeバッファ層52と、δドープ層53と、スペーサー層54と、n-チャネル層67と、i-Si層55と、i-Si_{1-x}Ge_x層56と、i-Si層57と、ゲート絶縁膜58とが形成されている。そして、ゲート絶縁膜58の上にゲート電極65が形成され、i-Si_{1-x}Ge_x層56のうちゲート電極65の両側方に位置する領域の上に、ソース・ドレインコンタクトW層61とA1ソース・ドレイン電極63とが順次形成されている。また、ゲート電極65の両側において、SiGeバッファ層52の一部、δドープ層53、スペーサー層54、n-チャネル層67、i-Si層55、i-Si_{1-x}Ge_x層56及びi-Si層57に亘る領域に、ソース・ドレイン領域59が形成されている。さらに、ゲート電極65とA1ソース・ドレイン電極63との間は、第1層目の絶縁膜66によって埋められている。

【0125】ここで、上記電界効果トランジスタの各部の構造について説明する。

【0126】まず、SiGeバッファ層52内におけるGeの組成率は、上方に向かうにしたがって大きくなっている。このSiGeバッファ層52は、SiGe混晶を格子緩和させるのに十分な膜厚で形成することにより、Siよりも大きな格子予定数を有しており、その上に歪み効果を利用したn-チャネルの形成が可能になされている。なお、このような格子緩和させたSiGeバッファ層を用いずに、Si基板に格子整合させた状態でSi層とSiGe層のヘテロ接合を形成した場合、価電子帯には段差の大きい大きな不連続部が現れるが、伝導帯には不連続部はほとんど現れないため、2次元電子ガスを閉じこめてn-チャネルを形成することは困難である。

【0127】ここで、SiGeバッファ層52中のGeの組成率は、例えば0%～30%まで連続的にもしくは薄い層ごとに段階的に変化している。この時、各層で

格子緩和を発生させ、バッファ層の最上面で基板面内の格子定数がバルクの $Si_{1-x}Ge_x$ 層と同一になるようする。組成率を縦方向に変化させるのは、格子緩和に伴う転位等の結晶欠陥がその上のチャネルに与える影響を小さくするためである。なお、 $SiGe$ バッファ層 52 の全体の膜厚は大体 $1\mu m$ 程度必要である。

【0128】この $SiGe$ バッファ層 52 上に不純物を加えない $Si_{1-x}Ge_x$ 層からなるスペーサー層 54 を配置する。このスペーサー層 54 とその上の Si 層 55 とのヘテロ界面に存在する伝導帯の不連続部にキャリア蓄積層を形成し、このキャリア蓄積層を 2 次元的に電子を閉じ込める n -チャネル 67 とする。

【0129】 δ ドープ層 53 は、 n -チャネル 67 にキャリアである電子を供給するために、P や As といった V 族の元素を高濃度にドープした層である。 δ ドープ層 53 上のスペーサー層 54 は、不純物をドープしない $Si_{1-x}Ge_x$ 層から構成され、 n -チャネル 67 のキャリア電子と δ ドープ層 53 のイオンを空間的に分離することにより、キャリア電子のイオンによる散乱を低減し、移動度を向上させる役割を持つ。このスペーサー層 54 の膜厚は、厚いほどイオン化した不純物によるキャリアの散乱効果を低減することができるが、逆にキャリア密度が減少してしまうので、 $3 nm$ 程度の厚みにすることが好ましい。

【0130】 $i-Si_{1-x}Ge_x$ 層 56 と $i-Si$ 層 57 は、ヘテロ界面に価電子帯に段差を形成し、 p -チャネル 68 を形成するために使用される。X は 0.7 前後に設定することが好ましい。

【0131】ゲート絶縁膜 58 は、ゲート電極 65 とその下の半導体層との間を絶縁することにより、ゲートリード電流を低減させ、素子の低消費電力動作を可能にする。なお、 $SiGe$ 層 56 を酸化して形成される酸化膜は水溶性で不安定な膜となるため、 $SiGe$ 系電界効果トランジスタにおいてもゲート絶縁膜としてシリコン酸化膜を用いることが好ましい。従って、 Si 系ヘテロMOS デバイスにおいては、ゲート絶縁膜の直下の半導体層は Si 層であることが好ましい。

【0132】すなわち、本実施形態に係る電界効果トランジスタは、上記の積層膜からなるチャネル領域と、図 10 の破線で示されるソース・ドレイン領域 59 と、トランジスタの動作のための電流の導入・取り出しのための A1 ソース・ドレイン電極 63 と、電流を制御するための電圧を印加するためのゲート電極 65 とにより構成されている。そして、この電界効果トランジスタを n -チャネル電界効果型トランジスタとして使用する場合には n -チャネル 67 を形成させるようにゲート電極 65 に電圧を印加し、 p -チャネル電界効果型トランジスタとして使用する場合には p -チャネル 68 を形成させるようにゲート電極 65 に電圧を印加する。

【0133】本実施形態に係る発明の特徴は、 Si

$Ge_x C_y$ 層 ($0 \leq x \leq 1, 0 \leq y \leq 1$) を含む第 1 の半導体層と、上記第 1 の半導体層とは異なるバンドギャップを有する第 2 の半導体層と、上記第 1、第 2 の半導体層の間の界面付近の領域に形成されたキャリア蓄積層とを有するチャネル領域と、第 3 の半導体層と、該第 3 の半導体層よりも大きいバンドギャップを有する第 4 の半導体層とを有するソース・ドレイン領域と、上記第 3 の半導体層の直上に形成された低抵抗の導体膜からなるソース・ドレインコンタクト層とを備えている点である。

【0134】そして、本実施形態の電界効果トランジスタを n -チャネル電界効果型トランジスタとして使用する場合には、 $i-Si$ 層 55 は $Si_{1-x}Ge_x$ 層 ($0 \leq x \leq 1, 0 \leq y \leq 1$) を含む第 1 の半導体層であり ($x = y = 0$)、 $SiGe$ バッファ層 52 は第 2 の半導体層であり、 $i-Si_{1-x}Ge_x$ 層 56 は第 3 の半導体層であり、 $i-Si$ 層 57 は $i-Si_{1-x}Ge_x$ 層 56 よりもバンドギャップの大きい第 4 の半導体層であって、第 3 の半導体層である $i-Si_{1-x}Ge_x$ 層 56 の直上にソース・ドレインコンタクト W 層 61 が形成されている。

【0135】一方、本実施形態の電界効果トランジスタを p -チャネル電界効果型トランジスタとして使用する場合には、 $i-Si_{1-x}Ge_x$ 層 56 は $Si_{1-x}Ge_x$ 層 ($0 \leq x \leq 1, 0 \leq y \leq 1$) を含む第 1 の半導体層である ($y = 0$) とともに第 3 の半導体層であり、 $i-Si$ 層 57 は第 2 の半導体層であるとともに第 3 の半導体層よりもバンドギャップの大きい第 4 の半導体層であって、第 3 の半導体層である $i-Si_{1-x}Ge_x$ 層 56 の直上にソース・ドレインコンタクト W 層 61 が形成されている。

【0136】以上のように、本実施形態では、A1 ソース・ドレイン電極 63 とのコンタクトを行う基板側の領域を、チャネル形成のための各半導体層のうちバンドギャップの小さい層に設けている。この実施形態の場合、 p -チャネル形成用の Si 層 57 と $i-Si_{1-x}Ge_x$ 層 56 のヘテロ界面のうち、バンドギャップの小さい $i-Si_{1-x}Ge_x$ 層 56 の直上にソース・ドレインコンタクト W 层 61 を設ける構造としている。これにより、最上層の半導体層である $i-Si$ 層 57 の直上にコンタクトを設けるよりもコンタクト抵抗が小さくなり、素子の低消費電力と高速動作とが可能になる。

【0137】なお、 Si 層上の $Si_{1-x}Ge_x$ 層の上に W を成長させた後、金属（この場合 A1）を堆積させると、非常に抵抗の低いコンタクトを得ることができる。この $SiGe$ 膜を利用したコンタクトは、従来の CMOS デバイスで一般的に低抵抗コンタクトとして利用されているシリサイド技術を用いた低抵抗コンタクトよりも 1 枠抵抗値が低いコンタクトが得られる（IEEE Electron Device Letters 誌 vol. 17, No. 7, 1996 pp36）。

0)。

【0138】この論文では、SiGe層はソース・ドレイン電極コンタクト形成のためだけに成長させられているが、本実施形態のように、チャネル形成用のSiGe層にコンタクトをとる構造をとれば、後述するトランジスタ製造方法で明らかにするように、新たにSiGe結晶を成長させる必要がなくなり生産性が向上する。

【0139】ただし、本実施形態において、デバイスのスピードが要求されるところにこのHCMOSデバイスを用い、それ以外には、通常のSi基板上に形成したCMOSデバイスを作製するようにしてもよく、Si基板上に直接形成したMOS型電界効果トランジスタとの集積も可能である。

【0140】つぎに、本実施形態に係る電界効果トランジスタの製造方法について説明する。図11(a)～(e)及び図12(a)～(e)は、図10に示す電界効果トランジスタの構造を実現するための製造工程の一例を示す断面図である。

【0141】まず、図11(a)に示す工程で、チャネル形成のエピタキシャル成長に先立ち、Si基板50にイオン注入を行い、NMOSトランジスタ、PMOSトランジスタの下地となるpウェル51n、及びnウェル51pを形成する。

【0142】次に、図11(b)に示す工程で、基板上にエピタキシャル成長を行う前に、基板にRCA洗浄法等を利用した洗浄を施して、表面の不純物を除去する。その後、表面の酸化膜を除去し、基板をエピタキシャル成長装置に挿入し、真空状態で加熱を行って清浄な表面を得る。そして、この清浄な表面上に、チャネル領域を形成するための半導体層のエピタキシャル成長を行う。この半導体層には、SiGeバッファ層52、δドープ層53、スペーサー層54、n-チャネル層67、i-Si層55、i-Si_{1-x}Ge_x層56、p-チャネル層68、i-Si層57等が含まれる。ただし、見やすくするために、δドープ層53、スペーサー層54、n-チャネル層67及びp-チャネル層68の図示は省略する。以下、この半導体層内の各層の形成手順を説明する。

【0143】半導体層の成長方法については、固体ワイヤーを用いるMBE法や気体ソースを利用するUHV-CVD法などが利用できる。UHV-CVD法の場合、装置内の雰囲気をまず超高真空(10^{-10} Torr程度)にし、結晶成長に必要なソースを真空容器内に導入してから、 $10^{-5} \sim 10^{-6}$ Torr程度の真空中度に到達した状態で結晶成長を行う。

【0144】そこで、本実施形態においても、上述の処理により基板に清浄な表面を生成した後、真空容器内の真空中度が十分高くなった時点で基板温度を500～700°C程度に設定し、各半導体結晶層の成長を行う。なお、基板温度を変化させると、単一の半導体結晶層内で

組成比が変化するなど結晶の質に影響を与えるために、基本的には単一層を成長させている間は基板温度を変化させない。また、800°C以上といった高温では、GeとSiが相互拡散してヘテロ界面の急峻性が損なわれたり、歪み緩和が行われチャネル特性が悪化するなど、好ましくないことが起こるため、成長温度は上記のように700°C以下を選択しておく。

【0145】結晶成長は、超高真空状態にした真空容器内に、結晶成長に必要なソースガスを導入することで行う。結晶成長に使用するソースガスとしては、Si層の成長用にはジシランを使用している。SiGe層の成長には、ジシラン等のSi層を成長させるためのソースガスに加え、ゲルマンをGeのソースガスとして使用する。この時、各ソースガスの分圧比の調整により、SiGe層内のSiとGeの組成比を制御することができる。ガス流量は、真空中度が $10^{-5} \sim 10^{-6}$ Torr程度になるように調整する。

【0146】まず、組成比を段階的に変化させかつ格子緩和された多数のSiGe層を積層してSiGeバッファ層52を形成する。このとき、組成比を段階的に変化させるために、上述のように、Siのソースガスの分圧とGeのソースガスの分圧の比を段階的に変化させる。

【0147】次に、δドープ層53の形成には、アルシンもしくはフォスフィンといったドーパントガスを、ジシランおよびゲルマンとともに真空容器内に導入する。

【0148】ここで、δドープ層53に導入した不純物がスペーサー層54に混じると、トランジスタ特性が劣化するため、ドーパントガスを真空容器内に導入した後は、一度ソースガスの供給を止め、真空中度が十分向上した後にスペーサー層54を成長させるためのガスを導入し、スペーサー層54を成長させる。スペーサー層54の組成は均一にSi_{1-x}Ge_xとし、ジシランとゲルマンの流量を固定して成長を行う。

【0149】スペーサー層54の成長後、ソースガスの供給を一旦停止し、真空中度が向上してからジシランのみを成長室に導入し、不純物をドープしないi-Si層55を成長させる。

【0150】i-Si層55の成長後、再びジシランとゲルマンを成長室に導入し、i-Si_{1-x}Ge_x層56を成長させる。Geの組成比は70%とする。i-Si_{1-x}Ge_x層56の成長後、ソースガスの供給を一旦停止した後、真空中度が向上してからジシランのみを成長室に導入し、i-Si層57を成長させる。

【0151】以上の処理により、チャネル領域を構成する半導体層のエピタキシャル成長工程は終了する。

【0152】次に、図11(c)に示す工程では、基板をUHV-CVD装置から取り出して熱酸化炉内に導入し、最上層のi-Si層57の表面を酸化してシリコン酸化膜からなるゲート絶縁膜58を形成する。

【0153】次に、図11(d)に示す工程で、ゲート

絶縁膜58上にゲート電極65を形成する。このゲート電極の形成法は従来のCMOSデバイス工程と同様である。すなわち、ポリシリコン膜を堆積し、不純物をイオン注入した後ドライエッチによりポリシリコン膜をバーニングして、ゲート電極65n, 65pを形成する。不純物イオンとしてはフッ化ボロンイオン(BF₂₊)を使用することができる。このゲート電極用のポリシリコン膜が堆積された段階では、ソース・ドレイン領域は形成されていない。

【0154】次に、図11(e)に示す工程で、ゲート電極65n, 65pをマスクとして、ドーパントとなる不純物イオンを基板内に注入して、ソース・ドレイン領域59n, 59pを形成した後、コンタクトを取るために基板上に露出している酸化膜を除去するためのエッチングをおこなう。なお、イオン注入の際には、イオンの加速電圧を、不純物分布のピークがソース・ドレイン電極のコンタクトを設ける層にあるように選択する。注入する不純物イオンとしては、NMOSトランジスタ領域にはn型不純物である矽素イオン(A_{s+})もしくは磷イオン(P₊)を、PMOSトランジスタ領域にはp型不純物であるボロンイオン(B₊)を使用する。したがって、NMOSトランジスタのソース・ドレイン領域59nを形成するためのイオン注入と、PMOSトランジスタのソース・ドレイン領域59pを形成するためのイオン注入とは、それぞれ別個のマスクを用いて行う必要がある。

【0155】なお、イオン注入直後は、不純物の活性化のためのアニールを行う。ただし、アニール熱処理により、ヘテロ界面でのSiとGeの相互拡散や、Si/SiGe系に存在する歪みの緩和過程における結晶欠陥の発生がないよう、1000°C程度で短時間(30秒)のRTA(ラピッドサーマルアニーリング)を行うことが好ましい。

【0156】次に、図12(a)に示す工程で、基板上に再度フォトレジストマスク(図示せず)を形成し、ドライエッチングによりNMOSトランジスタ形成領域-PMOSトランジスタ形成領域間の領域を少なくともチャネル領域よりも深く掘り込んで、素子分離用溝71を形成する。

【0157】次に、図12(b)に示す工程で、溝71を含む基板の全面上に第1層目の絶縁膜72を堆積する。絶縁膜を構成する材料としては高温プロセスを避けるために、500°C以下で成膜できるプラズマCVD法によるTEOS膜などを使用することが好ましい。このとき、溝71に埋め込まれた絶縁膜によりトレンチ分離73が構成される。

【0158】次に、本実施形態の特徴であるソース・ドレインコンタクトを以下の手順により形成する。ただし、図10に示す構造を実現するための工程は、以下の手順に限定されるものではない。

【0159】本実施形態の効果を最大限発揮するためには、最終的にコンタクトの下地となる極めて薄い特定の半導体層が存在している必要がある。そのため、本実施形態では、下地となる特定の半導体層としてi-Si_{1-x}Ge_x層56n, 56pを選択し、i-Si_{1-x}Ge_x層56n, 56pが露出するまでエッチングを行う。このi-Si_{1-x}Ge_x層56n, 56pを露出させる際にはウェットエッチングによる選択性の高いエッチングを用いることが好ましい。ただし、ウェットエッ

チングは異方性に乏しく、微細加工に適していないため、まず、ドライエッチングにより、第1層目の絶縁膜72のうちソース・ドレイン電極を形成しようとする領域を選択的に除去してコンタクトホールを形成し、ゲート絶縁膜58n, 58pを露出させた後、ウェットエッチングを行うことが望ましい。このような処理の例としては、例えば以下の処理がある。

【0160】まず、最上層の酸化膜(ゲート絶縁膜58n, 58p)の除去には、よく知られているようにフッ酸系の溶液を使用する。そして、i-Si層57n, 57pが露出すると、フッ酸はシリコンをほとんど除去しないので、エッチング液をi-Si層57を除去できるエッティング液に変更する。ここで、本実施形態では、i-Si層57n, 57pの下のi-Si_{1-x}Ge_x層56n, 56pにコンタクトを形成するので、i-Si_{1-x}Ge_x層56n, 56pをあまりエッチせず、i-Si層57n, 57pを選択的にエッチできるエッティング液(エッチャント)を選択する。そして、このエッチャントを使用し、i-Si層57n, 57pを除去し、i-Si_{1-x}Ge_x層56n, 56pを露出させる。このとき、i-Si_{1-x}Ge_x層56n, 56pの一部がオーバーエッチングにより除去されてもよい。先述したように、このi-Si_{1-x}Ge_x層56n, 56pは、NMOSトランジスタのチャネル領域にn-チャネルを形成させるためにエピタキシャル成長させたものである。従って、本実施形態を用いれば、SiGe層を用いた低抵抗コンタクトを形成するために新たにi-Si_{1-x}Ge_x層56n, 56pを成長させるための工程が不要となる。

【0161】次に、コンタクトを形成するために、この露出したi-Si_{1-x}Ge_x層56n, 56pの上に低抵抗の金属膜を堆積させる。この金属膜を構成する金属材料としては、先述のようにタンゲステン(W)を使用すると非常に抵抗値の低いコンタクトを形成することができる。そこで、本実施形態では、LPCVD法により、WF₆を水素で希釈したガスをソースガスとして用い、温度条件を400°Cとして、i-Si_{1-x}Ge_x層56n, 56p上にソース・ドレインコンタクトW層61n, 61pを選択成長させている。

【0162】次に、図12(e)に示す工程で、スパッタリングを行って、基板の全面上にAl合金膜を堆積し

た後、バターニングして、A1ソース・ドレイン電極63n, 63pを形成する。以上の工程で、ソース・ドレン領域上に低抵抗のコンタクトを形成することができる。

【0163】先述のように、Si系ヘテロMOSデバイスにおいては、ゲート絶縁膜としてシリコン酸化膜を使用する関係上、半導体最上層はバンドギャップの大きいSi層であることが好ましいため、本実施形態のような半導体層を除去した後コンタクト金属層を形成する技術は、Si系ヘテロMOSデバイスの形成に特に適した技術である。

【0164】(第5の実施形態) 上記実施形態では、SiとSiGeとからなるヘテロ接合体を利用したチャネル構造を代表例として取り上げたが、HCMOSデバイスのソース・ドレン領域に低抵抗のコンタクトを形成する発明は、かかる実施形態に限定されるものではなく、Siとこの実施形態のSiGeとの積層構造以外の構成をもつてヘテロエピタキシャル積層膜によるチャネル、例えばSiとSi_{1-x-y}Ge_xC_y(0≤x≤1, 0≤y≤1)混晶半導体との間にチャネル形成したものでもかまわない。ヘテロ界面によるチャネル形成には、必ずバンドギャップの異なる2種類の半導体の接合が必要となるため、このような低抵抗のコンタクト層の形成が有効となる。

【0165】図13は、図1に示す構造に低抵抗のコンタクト金属層を形成した第5の実施形態に係るHCMOSデバイスの断面図である。

【0166】同図に示すように、本実施形態に係るHCMOSデバイスにおいては、SiGe層15n, 15pの上に、ソース・ドレンコンタクトW層25n, 25pが形成されている。

【0167】本実施形態に係る発明の特徴は、上記第1の実施形態の特徴に加え、上記第4の実施形態と同様に、Si_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)を含む第1の半導体層と、上記第1の半導体層とは異なるバンドギャップを有する第2の半導体層と、上記第1、第2の半導体層の間の界面付近の領域に形成されたキャリア蓄積層とを有するチャネル領域と、第3の半導体層と、該第3の半導体層よりも大きいバンドギャップを有する第4の半導体層とを有するソース・ドレン領域と、上記第3の半導体層の直上に形成された低抵抗の導体膜からなるソース・ドレンコンタクト層とを備えている点である。

【0168】そして、本実施形態のNMOSトランジスタにおいては、SiGeC層14nはSi_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)を含む第1の半導体層であり、Si層13nは第2の半導体層であり、SiGe層15nは第3の半導体層であり、Si層17nはSiGe層15nよりもバンドギャップの大きい第4の半導体層であって、第3の半導体層であるSiGe層1

5nの直上にソース・ドレンコンタクトW層25nが形成されている。

【0169】一方、本実施形態のPMOSトランジスタにおいては、SiGe層15pはSi_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)を含む第1の半導体層である(y=0)とともに第3の半導体層であり、Si層17pは第2の半導体層であるとともに第3の半導体層よりもバンドギャップの大きい第4の半導体層であって、第3の半導体層であるSiGe層15pの直上にソース・ドレンコンタクトW層25pが形成されている。

【0170】以上のように、本実施形態では、A1ソース・ドレン電極21n, 21pとのコンタクトを行う基板側の領域(ソース・ドレンコンタクトW層25n, 25p)を、チャネル形成のための各半導体層のうちバンドギャップの小さい層の直上に設けているので、最上層の半導体層であるSi層17n, 17pの直上にコンタクトを設けるよりもコンタクト抵抗が小さくなり、素子の低消費電力と高速動作とが可能になる。

【0171】特に、SiGe層15n, 15pに接触するように、タンゲステン(W)からなるソース・ドレンコンタクトW層25n, 25pを設けているので、非常に低いコンタクト抵抗が得られる。

【0172】すなわち、本実施形態では、上記第1の実施形態の効果を発揮しながら、コンタクト抵抗の低減を図ることができる。

【0173】(第6の実施形態) 図14は、図8に示す構造に低抵抗のコンタクト金属層を形成した第6の実施形態に係るHCMOSデバイスの断面図である。

【0174】同図に示すように、本実施形態に係るHCMOSデバイスにおいては、量子井戸領域となっているSiGe層36n, 36pの上に、ソース・ドレンコンタクトW層45n, 45pが形成されている。

【0175】本実施形態に係る発明の特徴は、上記第3の実施形態の特徴に加え、上記第4の実施形態と同様に、Si_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)を含む第1の半導体層と、上記第1の半導体層とは異なるバンドギャップを有する第2の半導体層と、上記第1、第2の半導体層の間の界面付近の領域に形成されたキャリア蓄積層とを有するチャネル領域と、第3の半導体層と、該第3の半導体層よりも大きいバンドギャップを有する第4の半導体層とを有するソース・ドレン領域と、上記第3の半導体層の直上に形成された低抵抗の導体膜からなるソース・ドレンコンタクト層とを備えている点である。

【0176】そして、本実施形態のNMOSトランジスタにおいては、量子井戸領域であるSiGeC層34nはSi_{1-x-y}Ge_xC_y層(0≤x≤1, 0≤y≤1)を含む第1の半導体層であり、第1のSi層33nは第2の半導体層であり、量子井戸領域であるSiGe層3

6 n は第3の半導体層であり、第3の Si 層 37 n は SiGe 層 36 n よりもバンドギャップの大きい第4の半導体層であって、第3の半導体層である SiGe 層 36 n の直上にソース・ドレインコンタクト W 層 45 n が形成されている。

【0177】一方、本実施形態のPMOSトランジスタにおいては、 SiGe 層 36 p は $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層 $(0 \leq x \leq 1, 0 \leq y \leq 1)$ を含む第1の半導体層である($y = 0$)とともに第3の半導体層であり、第3の Si 層 37 p は第2の半導体層であるとともに第3の半導体層よりもバンドギャップの大きい第4の半導体層であって、第3の半導体層である SiGe 層 36 p の直上にソース・ドレインコンタクト W 層 45 p が形成されている。

【0178】以上のように、本実施形態では、A1ソース・ドレイン電極 $41\text{ n}, 41\text{ p}$ とのコンタクトを行う基板側の領域(ソース・ドレインコンタクト W 層 $45\text{ n}, 45\text{ p}$)を、チャネル形成のための各半導体層のうちバンドギャップの小さい層の直上に設けているので、最上層の半導体層である Si 層 $37\text{ n}, 37\text{ p}$ の直上にコンタクトを設けるよりもコンタクト抵抗が小さくなり、デバイスの低消費電力と高速動作とが可能になる。

【0179】特に、 SiGe 層 $36\text{ n}, 36\text{ p}$ に接触するように、タングステン(W)からなるソース・ドレインコンタクト W 層 $45\text{ n}, 45\text{ p}$ を設けているので、非常に低いコンタクト抵抗が得られる。

【0180】すなわち、本実施形態では、上記第3の実施形態の効果を発揮しながら、コンタクト抵抗の低減を図ることができる。

【0181】(その他の変形形態) 上記第1～第6の実施形態では、ゲート電極の下にゲート絶縁膜を設けたMOS型電界効果トランジスタについて説明したが、本発明はかかる実施形態に限定されるものではない。特に、最上層に絶縁膜があるヘテロMOS構造ではなく、ヘテロ界面を用いる電界効果トランジスタならば、絶縁膜を用いないショットキー接合を用いるデバイスでも実施可能であり、抵抗の低減効果を得ることが可能になり、デバイスの低消費電力高速動作上有利となる。

【0182】上記第1～第6の実施形態では、 δ ドープ層を形成したが、本発明はかかる実施形態に限定されるものではなく、 δ ドープ層を設けなくても本発明の効果を発揮することは可能である。また、 δ ドープ層を形成する場合でも、スペーサー層は必ずしも必要でない。

【0183】上記第1、第2、第3、第5、第6の実施形態における SiGe 層に変えて、Cを微量添加した SiGeC 層を設けてもよい。

【0184】また、上記第1、第2、第3、第5、第6の実施形態においては、 SiGeC 層と SiGe 層との上下関係を逆にしてもよいものとする。その場合、第5、第6の実施形態では、ソース・ドレイン領域における

る SiGeC 層の直上にソース・ドレインコンタクト W 層を形成すればよい。

【0185】

【発明の効果】請求項1～10によれば、電界効果トランジスタを有する半導体装置において、 Si 層とCの組成比yが $0.01 \sim 0.03$ である $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層とを設け、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層内に形成されるキャリア蓄積層をチャネルとして利用するようにしたので、動作速度が大きく、かつ信頼性の高い電界効果型トランジスタを有する半導体装置の提供を図ることができると。

【0186】請求項11～20によれば、電界効果型トランジスタを有する半導体装置において、第1の Si 層～第1の $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層間、第2の Si 層～第2の $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層間の界面に生じるバンド不連続部を利用して電子と正孔を2次元的に閉じこめる蓄積層を形成し、この蓄積層をチャネルとする電界効果トランジスタを設けたので、キャリアの閉じこめ効率の高いチャネルを有しつつ動作速度の大きいかつ信頼性の高いn-チャネル及びp-チャネル電界効果トランジスタを備えたHCMOSデバイスとして機能する半導体装置の提供を図ることができる。

【0187】この半導体装置の構造は、請求項24の半導体装置の製造方法により容易に実現することができる。

【0188】請求項21～23によれば、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ 層を含む第1の半導体層～第2の半導体層間にチャネルとなるバンド不連続部を形成させた電界効果トランジスタを有する半導体装置において、ソース・ドレイン領域を第3の半導体層及び第3の半導体層よりもバンドギャップの大きい第4の半導体層により構成し、この第3の半導体層の直上に低抵抗の導体膜からなるソース・ドレインコンタクト層とを設けたので、ヘテロ接合を利用した動作速度の高いかつソース・ドレインコンタクト抵抗の小さい半導体装置の提供を図ることができる。

【0189】この半導体装置の構造は、請求項25～28の半導体装置の製造方法により容易に実現することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係る SiGeC 系HCMOSデバイスの構造を示す断面図である。

【図2】HCMOSデバイス内の SiGeC 層の格子歪みのGe組成率及びC組成率に対する依存性を示す図である。

【図3】 SiGeC 系HCMOSデバイスの SiGeC 層と Si 層との間において格子整合あるいは引っ張り歪みを生じる $\text{Si}, \text{Ge}, \text{C}$ の組成率との関係を示す図である。

【図4】 SiGeC 層のC組成比とエネルギーギャップ

値との関係を示す図である。

【図5】第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【図6】第2の実施形態におけるSiGeC層の組成と格子不整合による歪みとの関係を示す図である。

【図7】第2の実施形態に係る格子整合系SiGeC-HCMOSデバイスのバンドラインナップを示す図である。

【図8】第3の実施形態に係る量子井戸構造のチャネルを有するHCMOSデバイスの構造を示す断面図である。

【図9】第3の実施形態に係る半導体装置の製造工程を示す断面図である。

【図10】第4の実施形態に係るHCMOSデバイスの構造を示す断面図である。

【図11】第4の実施形態に係るHCMOSデバイスの製造工程のうちの前半部分を示す断面図である。

【図12】第4の実施形態に係るHCMOSデバイスの製造工程のうちの後半部分を示す断面図である。

【図13】第5の実施形態に係るHCMOSデバイスの構造を示す断面図である。

【図14】第6の実施形態に係るHCMOSデバイスの構造を示す断面図である。

【図15】従来のHCMOSデバイスの構造を示す断面図である。

【図16】従来のHCMOSデバイスのヘテロ界面に導入される格子不整合歪みによる転位等の欠陥を示す図である。

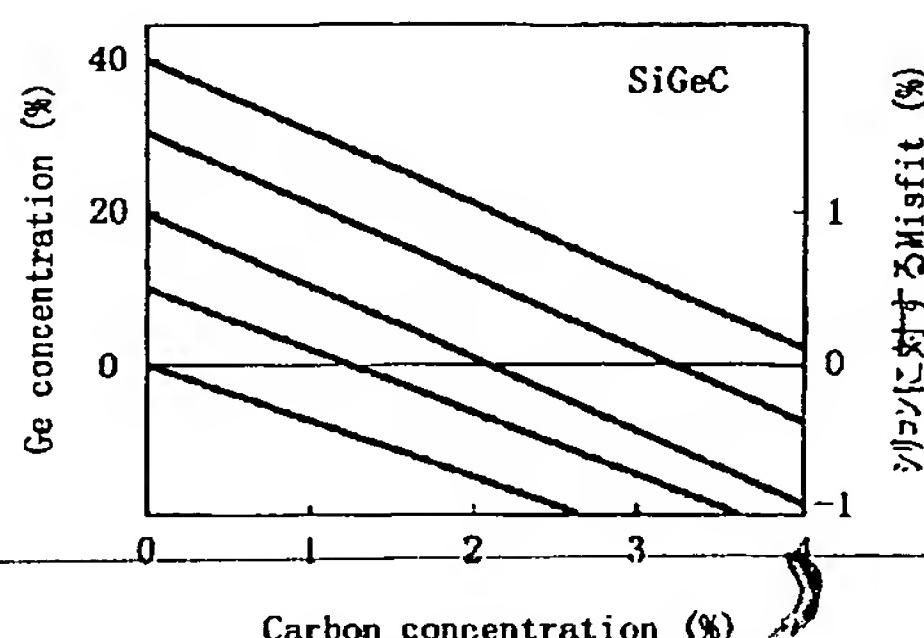
【符号の説明】

10	Si基板
11	pウェル
12	nウェル
13	Si層
14	SiGeC層
15	SiGe層
16	ソース・ドレイン領域

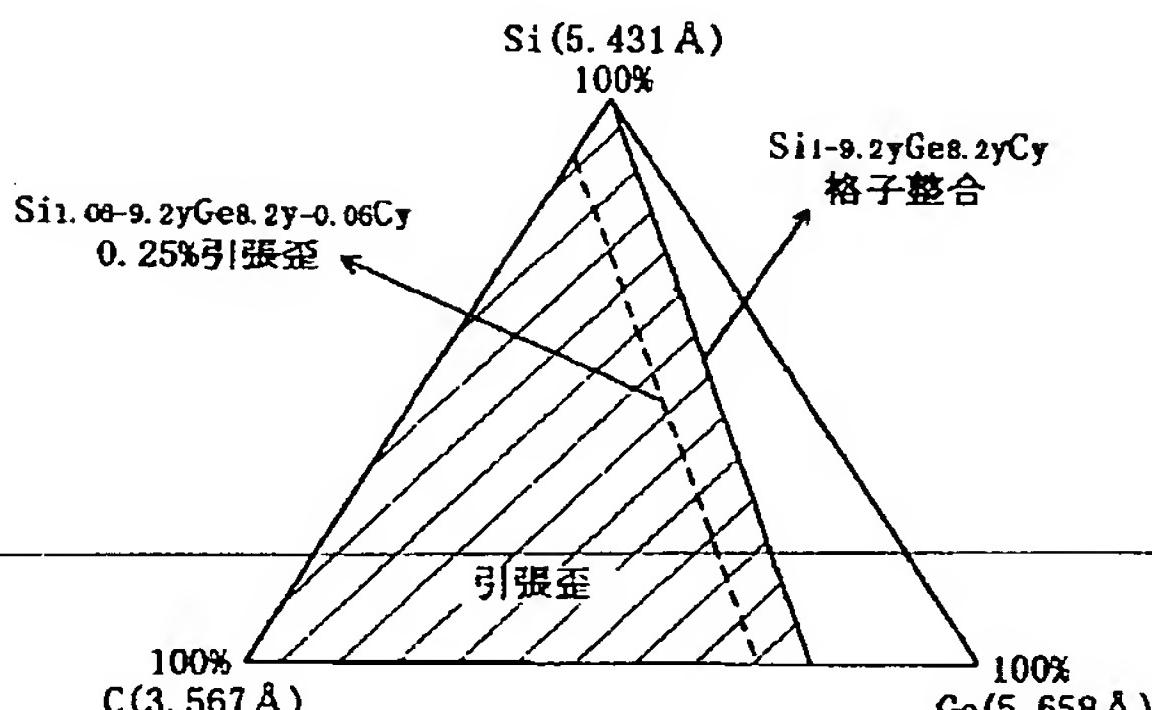
* 17	Si層
18	ゲート電極
19	ゲート絶縁膜
21	ソース・ドレイン電極
25	ソース・ドレインコンタクトW層
30	Si基板
31	pウェル
32	nウェル
33	第1のSi層
10 34	SiGeC層
35	第2のSi層
36	SiGe層
37	第3のSi層
38	ゲート電極
39	ゲート絶縁膜
41	ソース・ドレイン電極
42	ソース・ドレイン領域
45	ソース・ドレインコンタクトW層
50	Si基板
20 51 n	p-ウェル
51 p	n-ウェル
52	SiGeバッファ層
53	δドープ層
54	スペーサー層
55	i-Si層
56	i-Si _{1-x} Ge _x 層
57	i-Si層
58	ゲート絶縁膜
59	ソース・ドレイン領域
30 61	ソース・ドレインコンタクトW層
63	A1ソース・ドレイン電極
65	ゲート電極
66	第1層目の絶縁膜
67	n-チャネル
68	p-チャネル

*

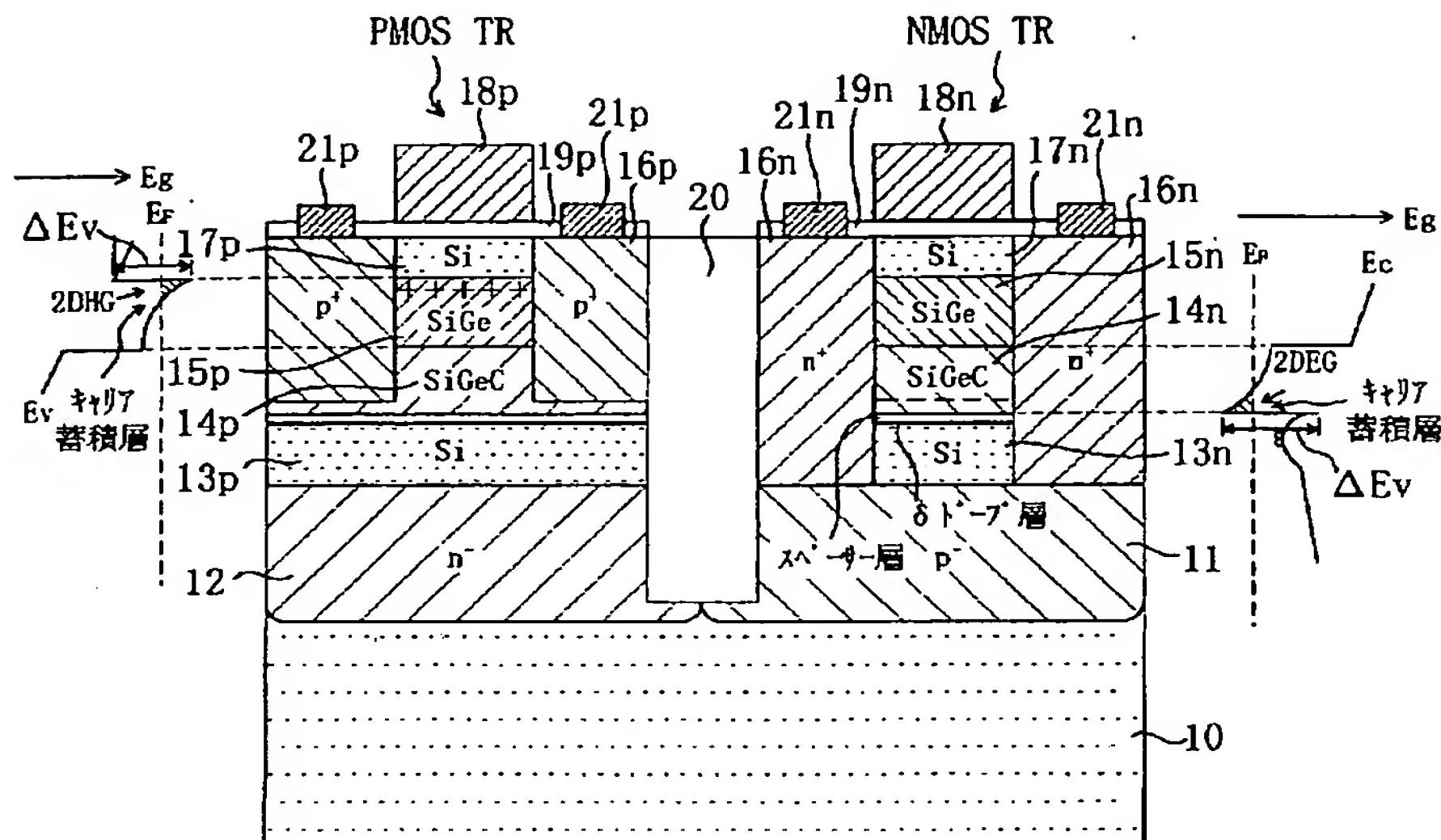
【図2】



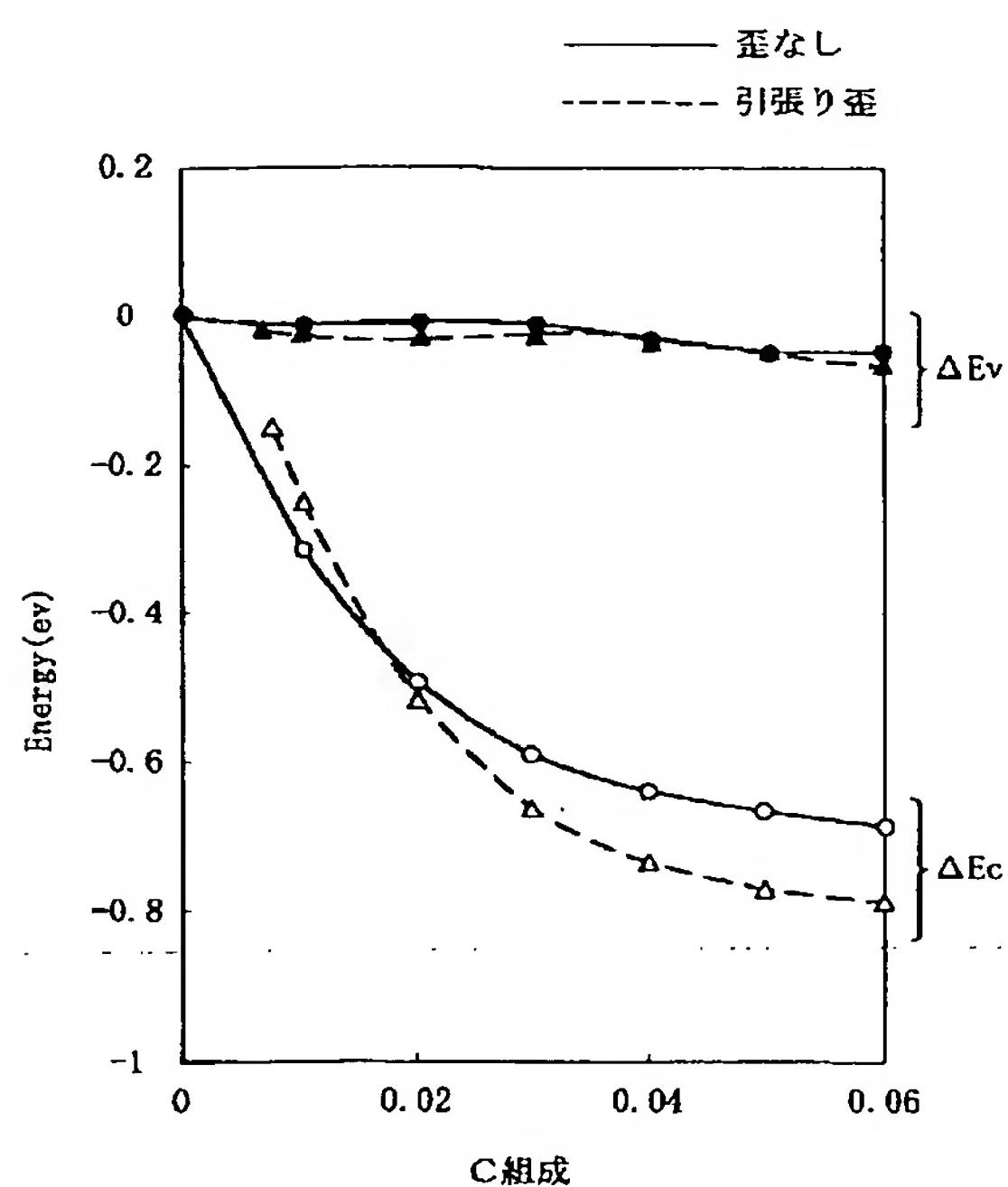
【図3】



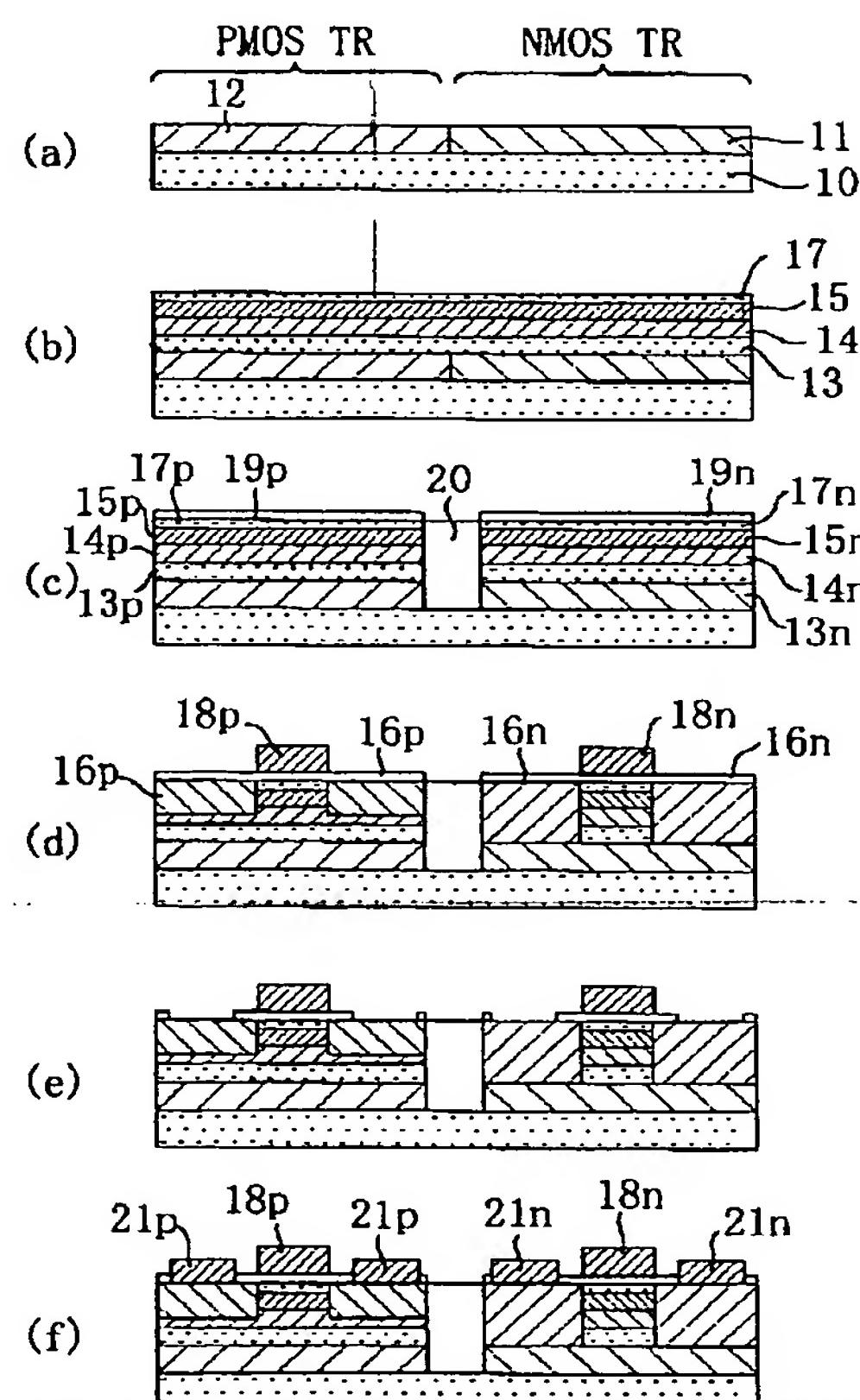
【図1】



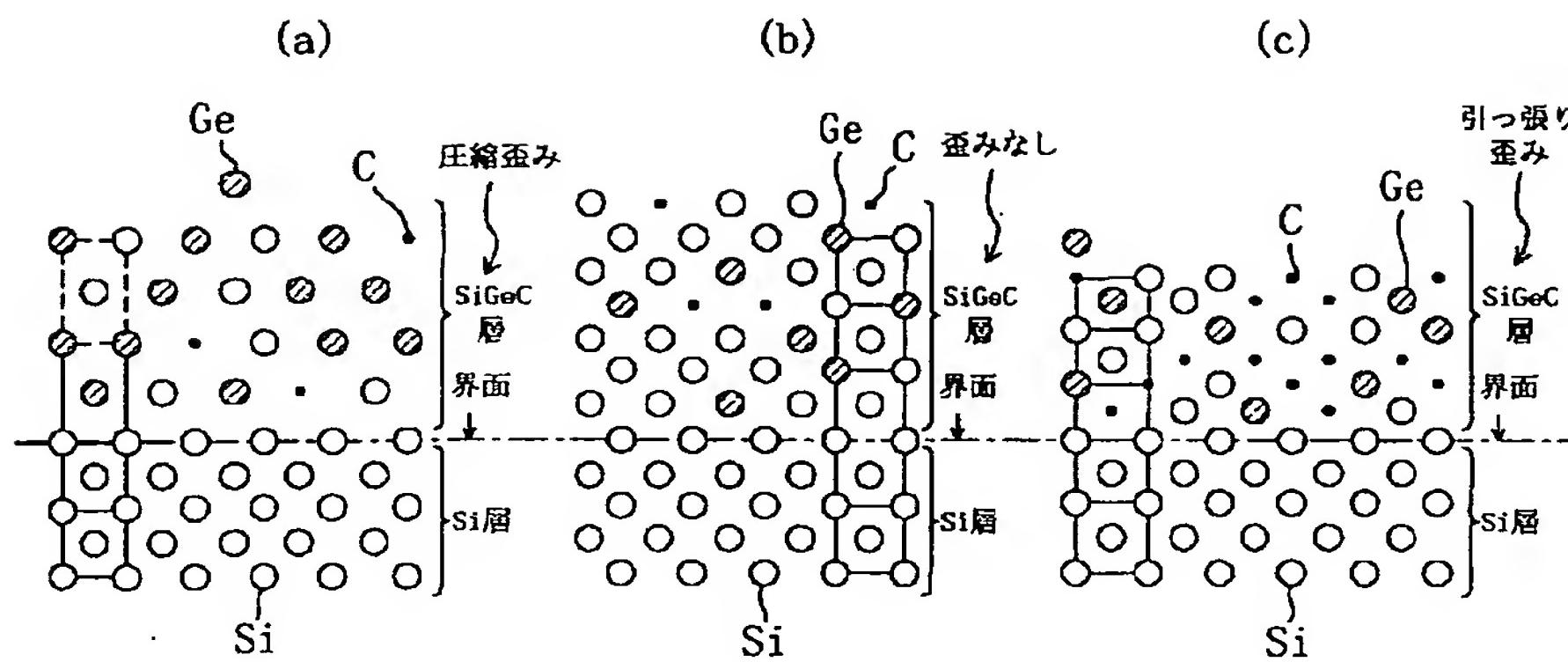
【図4】



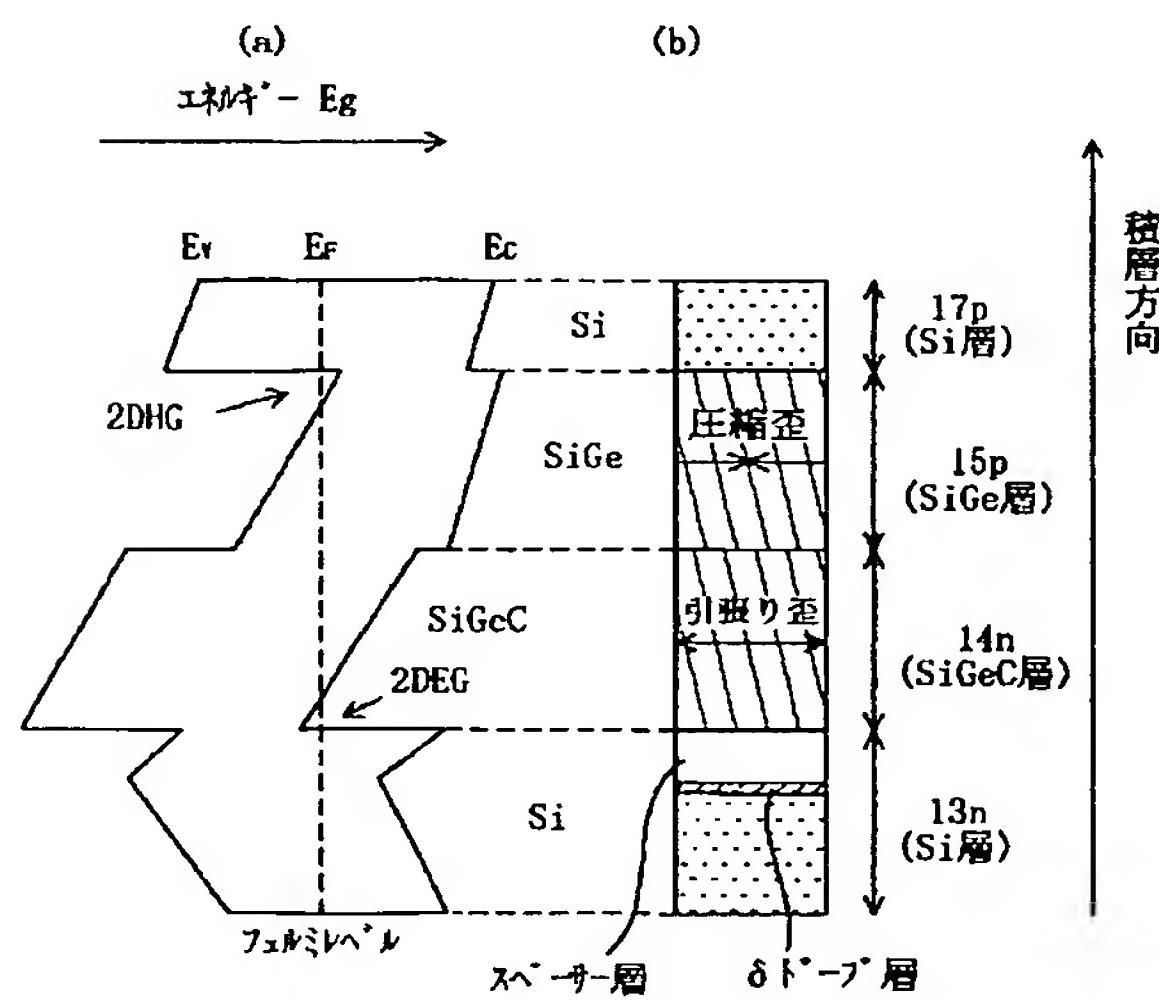
【図5】



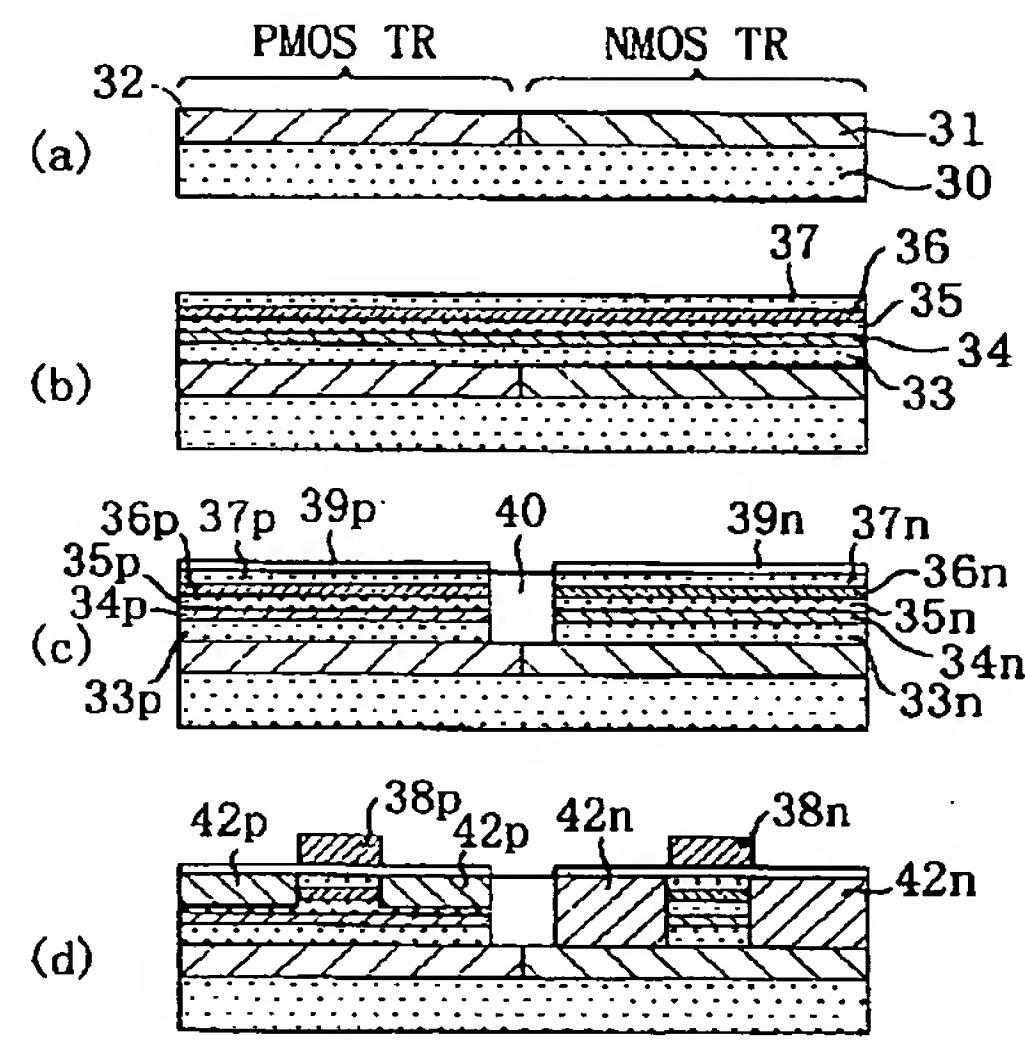
【図6】



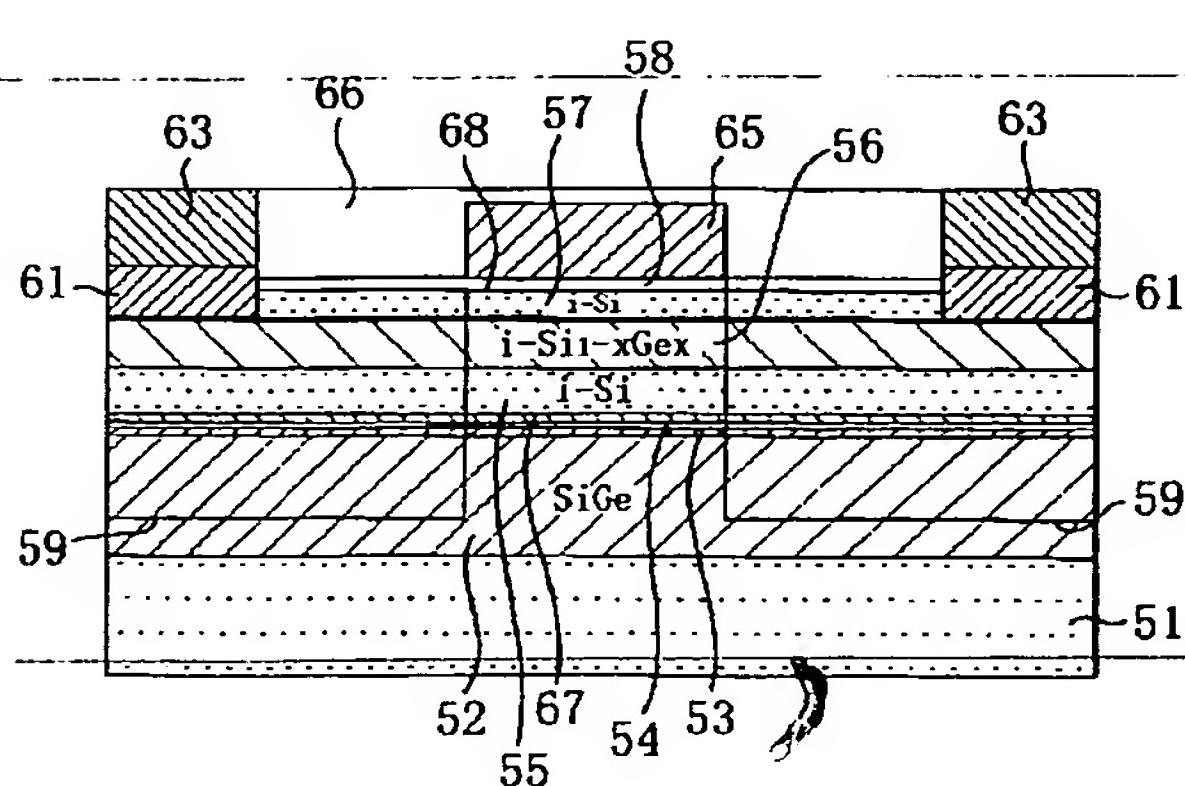
【図7】



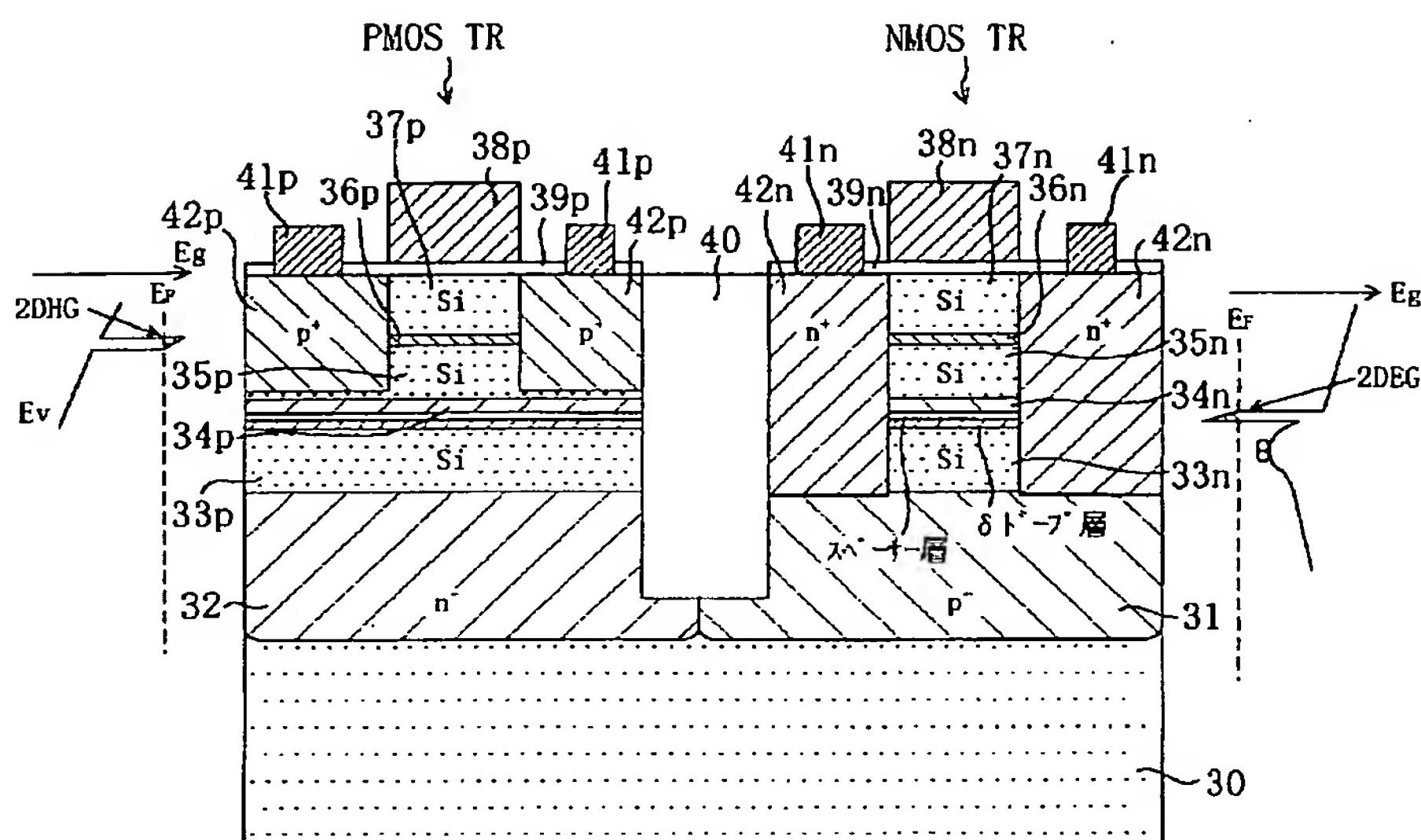
【図9】



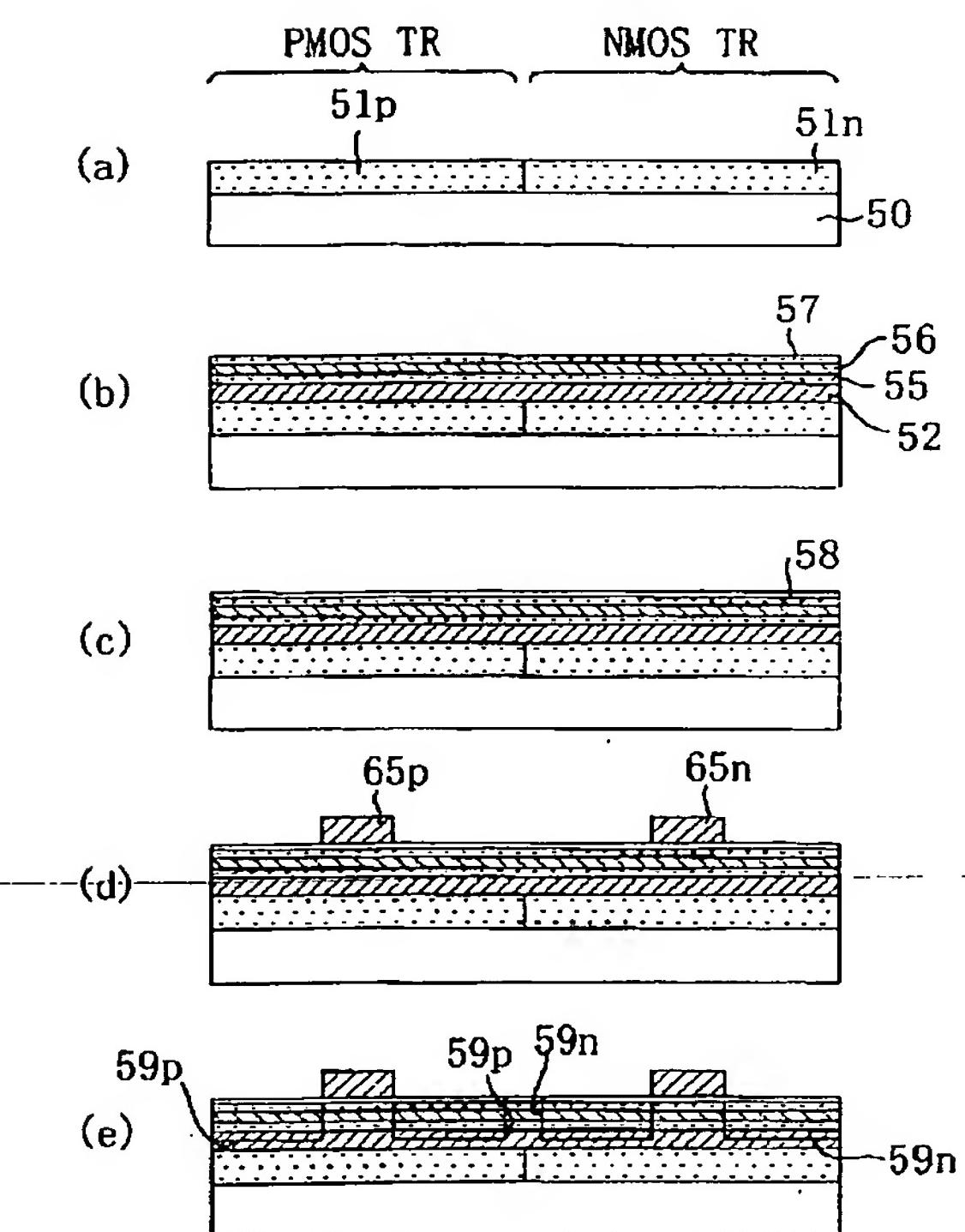
【図10】



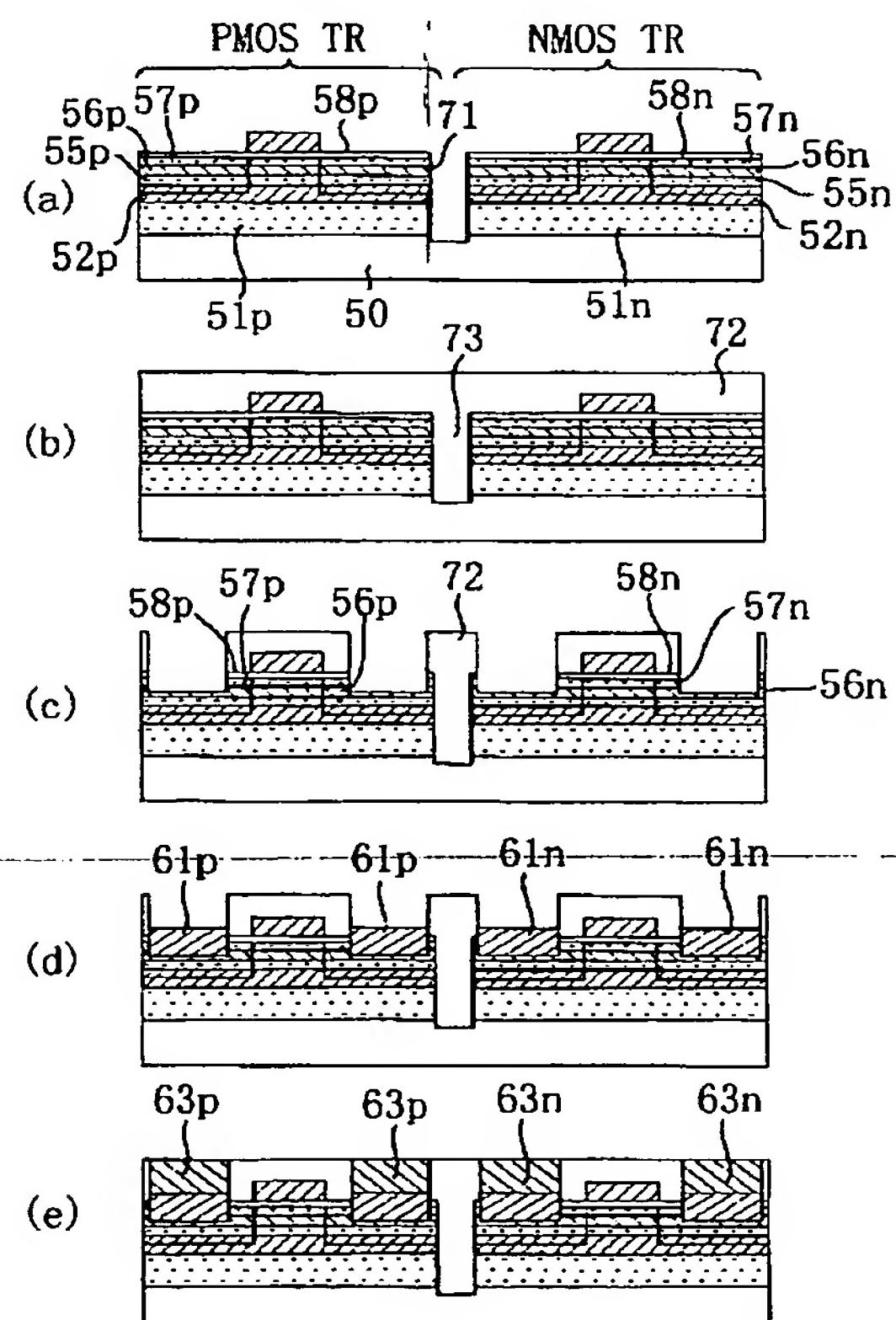
【図8】



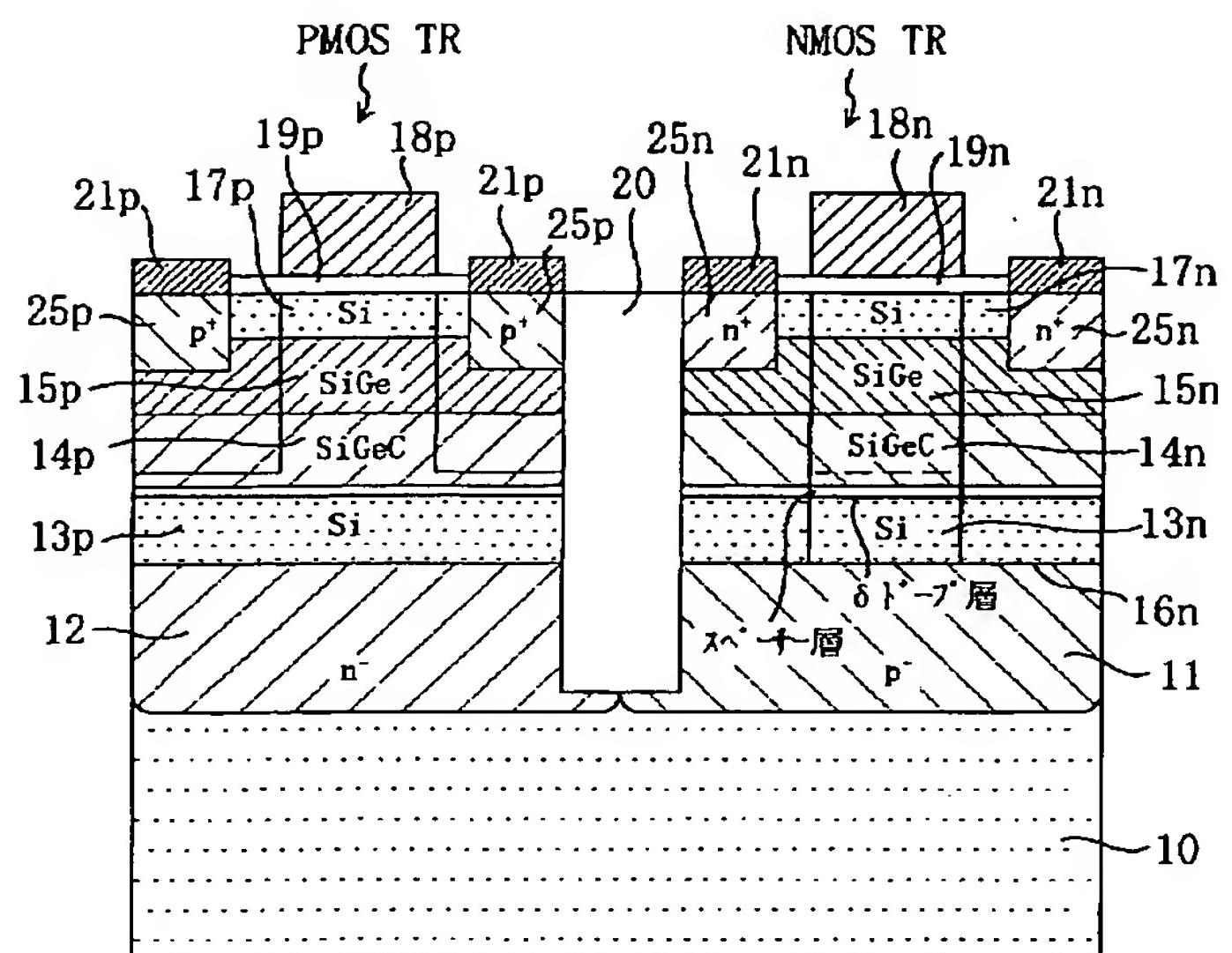
【図11】



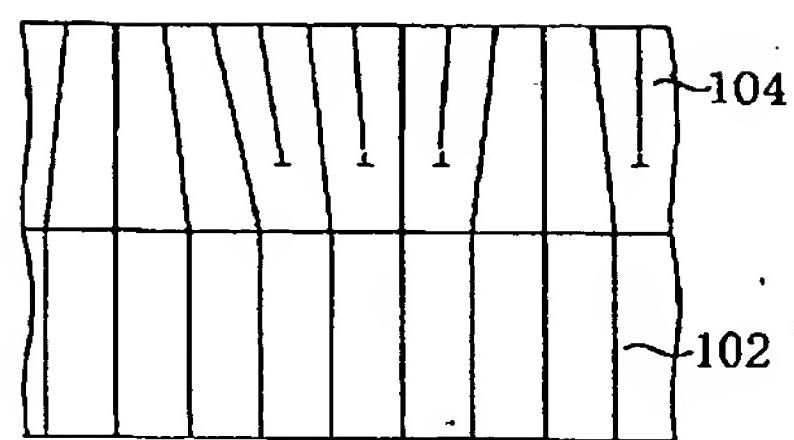
【図12】



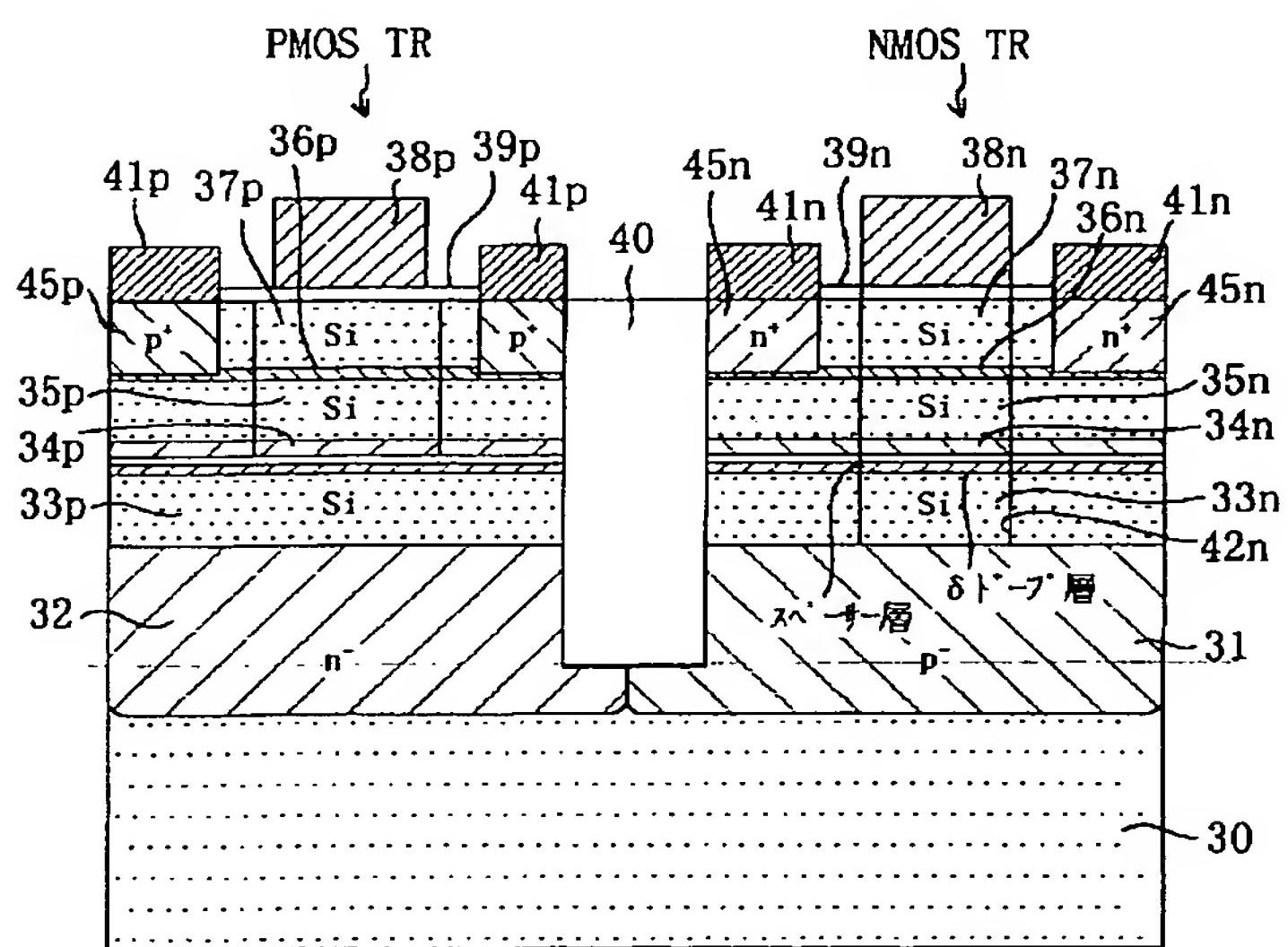
【図13】



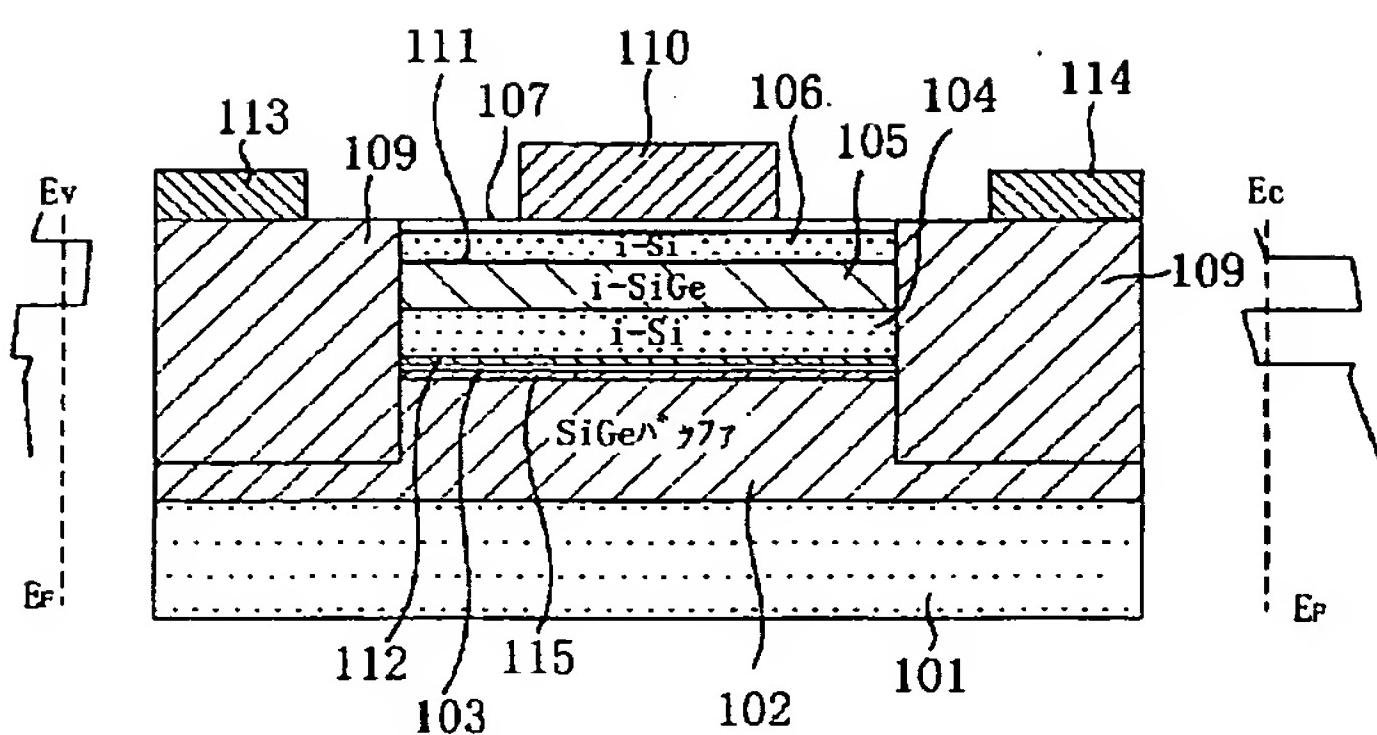
【図16】



【図14】



〔図15〕



フロントページの続き

(72)発明者 上野山 雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 熊渕 康仁
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.